

PROJETO E CARACTERIZAÇÃO DE IMAGEADORES APS RESISTENTES À  
RADIAÇÃO

Milton Ferreira da Rocha Júnior

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO DOS  
PROGRAMAS DE PÓS-GRADUAÇÃO DE ENGENHARIA DA UNIVERSIDADE  
FEDERAL DO RIO DE JANEIRO COMO PARTE DOS REQUISITOS NECESSÁRIOS  
PARA A OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS EM ENGENHARIA  
ELÉTRICA.

Aprovada por:

---

Prof. Antonio Carneiro de Mesquita Filho, Dr. d'État

---

Prof. Jorge Lopes de Souza Leão, Dr. Ing.

---

Prof. José Vicente Calvano, D.Sc.

RIO DE JANEIRO, RJ - BRASIL

JUNHO DE 2007

ROCHA JÚNIOR, MILTON FERREIRA

Projeto e Caracterização de Imageadores  
APS Resistentes à Radiação [Rio de  
Janeiro] 2007

XI, 127 p. 29,7 cm (COPPE/UFRJ, M.Sc.,  
Engenharia Elétrica, 2007)

Dissertação - Universidade Federal do  
Rio de Janeiro, COPPE

1. APS Radiação

I. COPPE/UFRJ II. Título ( série )

## DEDICATÓRIA

A minha esposa Elicéia e meu filho Pedro pela compreensão e  
apoio dedicados.

## AGRADECIMENTOS

Ao Prof. Dr. Antonio Carneiro de Mesquita Filho pela excelente orientação.

Ao Instituto de Pesquisas da Marinha.

Aos professores avaliadores desta dissertação, Dr. Jorge Lopes de Souza Leão e Dr. José Vicente Calvano.

Ao Laboratório de Instrumentação Nuclear da COPPE-UFRJ.

Aos amigos Leonardo Bruno de Sá e Nilton Gavião Menezes.

Resumo da Dissertação apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

## PROJETO E CARACTERIZAÇÃO DE IMAGEADORES APS RESISTENTES À RADIAÇÃO

Milton Ferreira da Rocha Júnior

Junho / 2007

Orientador: Antonio Carneiro de Mesquita Filho

Programa: Engenharia Elétrica

O projeto de imageadores baseados em sensores de pixel ativo APS (*Active Pixel Sensor*) utilizando tecnologias CMOS (*Complementary Metal Oxide Semiconductor*) comerciais para aplicação em ambientes sujeitos a radiações ionizantes é discutido.

Para permitir o uso de tecnologias CMOS comerciais de baixo custo são utilizadas técnicas de layout específicas para aumentar a resistência à radiação dos componentes integrados fabricados. Isto envolve o uso de geometrias não convencionais para os componentes ativos implicando em várias etapas de caracterização e testes para verificar a eficiência da metodologia de projeto adotada.

Para este fim foi utilizado um circuito, chamado protótipo de teste, projetado e fabricado especificamente para a caracterização eletro-óptica. Esta caracterização envolve a extração de parâmetros de modelo de simulação para determinar a influência das geometrias não convencionais empregadas no desempenho dos transistores e dos elementos fotodetectores quando expostos à radiação.

Os resultados obtidos nesta caracterização orientaram o projeto e a fabricação de uma nova versão de imageador APS, chamado protótipo operacional que foi o objetivo principal do trabalho. Este circuito integrado foi projetado com o propósito de compor um sistema de captura de imagens destinado à aplicações espaciais.

Abstract of Dissertation presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Sciences (M.Sc.)

## PROJECT AND CHARACTERIZATION OF RADIATION RESISTANT APS IMAGERS

Milton Ferreira da Rocha Junior

June / 2007

Advisor: Antonio Carneiro de Mesquita Filho

Department: E Engineering

The design of Active Pixel Sensors imagers based on low cost commercial CMOS technologies for use in environments subjected to ionizing radiations is discussed.

To allow for the use of conventional CMOS technologies specific radiation hardening layout techniques, involving non conventional geometries for the active devices were employed. This required the set up of several characterization and test procedures in order to verify the effectiveness of the adopted design methodology.

A circuit designed specifically to this end, called test prototype, was used to perform the electro-optical characterization and radiation tests. This involved the simulation models parameters extraction in order determine the effect of the non conventional geometries in the performance of the transistors and photodetectors employed in the design when exposed to ionizing radiation.

The results obtained in the tests where used as guide lines in the design of an APS circuit, called operational prototype, which was the main goal of the work. This circuit was intended to be used as image sensor in spatial applications.

## ÍNDICE

1.	INTRODUÇÃO .....	1
1.1.	OBJETIVO DO TRABALHO.....	4
1.2.	ESTRUTURA DO TRABALHO .....	4
2.	PROTÓTIPO DE TESTE DO APS EM TECNOLOGIA 0,35 $\mu\text{m}$ .....	5
2.1.	INTRODUÇÃO.....	5
2.2.	ARQUITETURA GERAL DO CIRCUITO INTEGRADO.....	5
2.2.1.	Diagrama em blocos .....	5
2.2.1.1.	Transistor resistente à radiação <i>dogbone</i> .....	8
2.2.2.	Layout do circuito.....	10
3.	CARACTERIZAÇÃO DO PROTÓTIPO DE TESTE DO IMAGEADOR APS .....	11
3.1.	INTRODUÇÃO.....	11
3.2.	CARACTERIZAÇÃO ELÉTRICA .....	11
3.2.1.	O modelo EKV .....	11
3.2.1.1.	Definições .....	13
3.2.1.2.	Tensão de <i>pinch-off</i> .....	14
3.2.1.3.	Fator de inclinação .....	14
3.2.1.4.	Corrente de dreno e corrente específica .....	15
3.2.1.5.	Efeitos de canal estreito e canal curto .....	16
3.2.2.	Metodologia de extração de parâmetros .....	16
3.2.3.	Extração de parâmetros .....	18
3.2.3.1.	Determinação da corrente específica .....	19
3.2.3.2.	Determinação da tensão de pinch-off .....	21
3.2.3.3.	Determinação dos parâmetros GAMMA e PHI .....	23
3.2.3.4.	Determinação dos parâmetros KP e THETA. ....	24
3.2.3.5.	Modulação do comprimento do canal .....	27
3.2.3.6.	Comprimento e largura efetivos do canal .....	29
3.2.3.7.	Efeito de canal curto e efeito de canal estreito .....	32
3.2.4.	Análise dos Resultados da extração de parâmetros .....	34
3.3.	TESTES DE RADIAÇÃO .....	35
3.3.1.	Interação da radiação com a matéria .....	35
3.3.2.	Efeitos da radiação nos transistores MOS .....	39
3.3.2.1.	Geração de cargas no dióxido de silício $\text{SiO}_2$ .....	40
3.3.2.2.	Geração de cargas positivas no $\text{SiO}_2$ .....	41
3.3.3.	Efeitos da radiação nos parâmetros elétricos dos transistores MOS....	42
3.3.3.1.	Deslocamento da tensão de limiar .....	42
3.3.3.2.	Aumento da corrente de sublimiar e correntes parasitas .....	44
3.3.3.3.	Redução da mobilidade .....	47
3.3.4.	Testes de radiação .....	48
3.3.4.1.	Fonte de Radiação .....	49
3.3.4.2.	Dose de radiação .....	50
3.3.4.3.	Procedimentos de teste.....	51
3.3.4.4.	Medidas elétricas .....	52
3.3.5.	Análise dos resultados dos testes de radiação.....	53
3.4.	CARACTERIZAÇÃO ÓPTICA.....	57
3.4.1.	Introdução.....	57

3.4.2.	Resultados dos testes.....	60
3.4.3.	Análise dos Resultados.....	61
4.	PROTÓTIPO OPERACIONAL DO APS EM TECNOLOGIA 0,35 $\mu$ m .....	62
4.1.	INTRODUÇÃO.....	62
4.2.	ARQUITETURA GERAL DO PROTÓTIPO OPERACIONAL .....	63
4.2.1.	Planta baixa do circuito .....	63
4.2.2.	Matriz APS operacional.....	65
4.2.2.1.	Arquitetura do pixel .....	67
4.2.3.	Circuito de endereçamento e controle.....	69
4.2.3.1.	Lógica de endereçamento de linha.....	69
4.2.3.2.	Lógica de endereçamento de coluna.....	72
4.2.3.3.	Gerador automático de endereços .....	75
4.2.4.	Estágio de saída .....	79
4.2.5.	Estruturas de testes .....	80
4.2.6.	Diagrama em blocos e layout do circuito.....	82
4.2.7.	Simulações .....	83
4.2.8.	Análise dos resultados .....	85
4.2.9.	Método para captura de imagens.....	86
5.	CONCLUSÕES E TRABALHOS FUTUROS.....	87
6.	REFERÊNCIAS BIBLIOGRÁFICAS .....	90



## ÍNDICE DE FIGURAS

Figura 1-1 – Esquemático do sensor de pixel ativo. ....	2
Figura 2-1 – Diagrama em blocos do protótipo de teste do imageador APS.....	6
Figura 2-2 – Matriz de transistores de teste .....	9
Figura 2-3 – Layout de um transistor resistente à radiação ( <i>dogbone</i> ). ....	9
Figura 2-4 – Layout do protótipo de teste do imageador APS. ....	10
Figura 3-1 – Seção transversal de um transistor MOS e o símbolo correspondente. ..	12
Figura 3-2 – Ambiente para medidas de extração de parâmetros. ....	19
Figura 3-3 – Corrente específica. ....	20
Figura 3-4 – Circuito usado para determinar a corrente específica .....	21
Figura 3-5 – Circuito de medida da tensão de pinch-off. ....	22
Figura 3-6 – Curva par extração de <i>VTO</i> , <i>GAMMA</i> e <i>PHI</i> . ....	22
Figura 3-7 – Curva para determinação de <i>KP</i> .....	24
Figura 3-8 – Circuito para determinar <i>KP</i> e <i>THETA</i> .....	25
Figura 3-9 – Curva para determinação de <i>THETA</i> .....	26
Figura 3-10 – Transistor MOS em saturação.....	27
Figura 3-11 – Determinação de <i>LAMBDA</i> .....	28
Figura 3-12 – Circuito utilizado na determinação de <i>LAMBDA</i> .....	28
Figura 3-13 – Curvas do programa de extração para determinar <i>LAMBDA</i> .....	29
Figura 3-14 – Circuito de extração do comprimento efetivo do canal. ....	30
Figura 3-15 – Curva para extração de <i>LETA</i> .....	32
Figura 3-16 – Tela geral de resultados do programa de extração de parâmetros.....	34
Figura 3-17 – Curvas medidas e simuladas de um transistor convencional.....	35
Figura 3-18 – Curvas medidas e simuladas de um transistor resistente .....	35
Figura 3-19 – Efeitos do fóton na matéria .....	38
Figura 3-20 – Estrutura simplificada de um transistor MOS.....	39
Figura 3-21 – Efeito da radiação ionizante no transistor MOS.....	40
Figura 3-22 – Dosímetro digital utilizando transistores MOS. ....	43
Figura 3-23 – Aumento da corrente de sublimiar.....	45
Figura 3-24 – Aumento das correntes parasitas.....	46
Figura 3-25 – Comportamento dos transistores parasitas .....	47
Figura 3-26 – Câmara de $CO^{60}$ .....	49
Figura 3-27 – Doses típicas de radiação .....	50
Figura 3-28 – Diagrama de teste de radiação .....	52

Figura 3-29 – Tensão de limiar e corrente de fuga de um transistor convencional em tecnologia 0,6 $\mu\text{m}$ .....	53
Figura 3-30 – Máxima inclinação de $I_{DS} \times V_{GS}$ de um transistor convencional em tecnologia 0,6 $\mu\text{m}$ .....	54
Figura 3-31 – Curvas de um transistor convencional em tecnologia 0,35 $\mu\text{m}$ .....	55
Figura 3-32 – Curvas de um transistor resistente em tecnologia 0,35 $\mu\text{m}$ .....	55
Figura 3-33 – Layouts dos pixels.....	56
Figura 3-34 – Diagrama ilustrativo do ambiente de caracterização óptica.....	56
Figura 3-35 – Sinal de saída do pixel. ....	57
Figura 3-36 – Sinal de saída do pixel tipo 1.....	58
Figura 3-37 – Sinal de saída do pixel tipo 2.....	58
Figura 3-38 – Responsividade normalizada do pixel de tipo 1.....	60
Figura 3-39 – Responsividade normalizada do pixel de tipo 2.....	60
Figura 4-1 – Planta baixa do APS e layout do anel de pads.....	63
Figura 4-2 – Detalhe dos barramentos alimentação de 3,3 Volts .....	64
Figura 4-3 – Esquemático conceitual do pixel. ....	65
Figura 4-4 – Layout do pixel da matriz APS operacional .....	66
Figura 4-5 – Fotodiodo em fase de integração .....	67
Figura 4-6 – Ciclo típico de operação do pixel.....	68
Figura 4-7 – Esquemático e símbolo do decodificador 2x4 .....	68
Figura 4-8 – Esquemático e símbolo do decodificador 6x64 .....	69
Figura 4-9 – Esquemático da lógica de <i>reset</i> de linha .....	70
Figura 4-10 – Interligação da lógica de <i>reset</i> de linha com o decodificador de 6x64 ...	70
Figura 4-11 – Diagrama ilustrativo do endereçamento de linha.....	71
Figura 4-12 – Arquitetura do demultiplexador de 64x1 .....	72
Figura 4-13 – Esquemático da lógica de <i>reset</i> de coluna .....	73
Figura 4-14 – Diagrama geral de endereçamento de um pixel .....	74
Figura 4-15 – Esquemático e símbolo do contador de 4 bits.....	75
Figura 4-16 – Esquemático e símbolo do contador de 12 bits.....	75
Figura 4-17 – Esquemático e símbolo do registrador de endereços.....	76
Figura 4-18 – Diagrama de tempo do gerador de endereços .....	77
Figura 4-19 – Esquemático e o símbolo dos amplificadores operacionais.....	78
Figura 4-20 – Versão do amplificador com capacitor octogonal .....	79
Figura 4-21 – Versão do amplificador com capacitor retangular.....	79
Figura 4-22 – Estrutura das sub-matrizes de transistores teste.....	80
Figura 4-23 – Layout da matriz de transistores teste.....	80
Figura 4-24 – Layout da matriz de fotodiodos de teste.....	81

Figura 4-25 – Diagrama em blocos do protótipo operacional .....	81
Figura 4-26 – Layout do protótipo operacional do imageador APS.....	82
Figura 4-27 – Diagrama para simulação completa do protótipo operacional .....	83
Figura 4-28 – Resultado da simulação completa do prototipo operacional.....	84

## ÍNDICE DE TABELAS

Tabela 3-1 – Definições do modelo EKV.....	15
Tabela 3-2 – Parametros de extração do modelo EKV.....	19
Tabela 3-3 – Níveis de radiação.....	51
Tabela 4-1 – Exemplo de funcionamento do contador de 12 bits .....	76
Tabela 4-2 – Enderçamento de linhas e colunas da matriz .....	77

## 1. Introdução

Os sensores de pixel ativo (APS) em tecnologia CMOS, foram propostos inicialmente por Fossum em 1993 e vêm sendo empregados em inúmeros projetos desenvolvidos recentemente com o propósito de atender a diversas aplicações voltadas à geração e processamento de imagens (CHEUNG, 2002).

Estas aplicações vão desde equipamentos para entretenimento a sistemas que exigem elevada performance, alta sensibilidade e resolução com baixo ruído. Por exemplo: sistemas robóticos, sistemas de imageamento automotivo, sistemas de guiagem e navegação, entre outros (FISH & YADID-PECCHT, 2004).

Com o avanço da tecnologia CMOS, o APS tem se mostrado uma alternativa de grande viabilidade a tecnologias mais difundidas como o CCD (*Charge Coupled Devices*). Essas inovações tecnológicas aumentam, significativamente, o potencial de integração de diversas funções de processamento em um único circuito integrado, reduzindo custos, consumo de potência e tamanho dos dispositivos (FISH & YADID-PECCHT, 2004).

A estrutura básica de um sensor APS utilizando fotodiodos é mostrada na Figura 1-1. Este tipo de sensor possui como elemento fotossensível um diodo operando em conjunto com três transistores CMOS, identificados convencionalmente como transistor de inicialização (*reset*), transistor de leitura (*readout*) ou seguidor de fonte e o transistor de seleção de coluna.

O processo de fotodetecção começa com a inicialização do catodo do fotodiodo com uma tensão conhecida fornecida pela ativação do transistor de *reset*. Em seguida, com a incidência de luz, uma fotocorrente é produzida no diodo dando início ao período de integração de carga que ocorre no terminal porta (*gate*) do transistor de leitura. Com o acionamento do transistor de seleção de coluna, no final do processo, é produzida na saída do APS uma tensão proporcional à quantidade carga armazenada, que corresponde à intensidade da luz incidente.

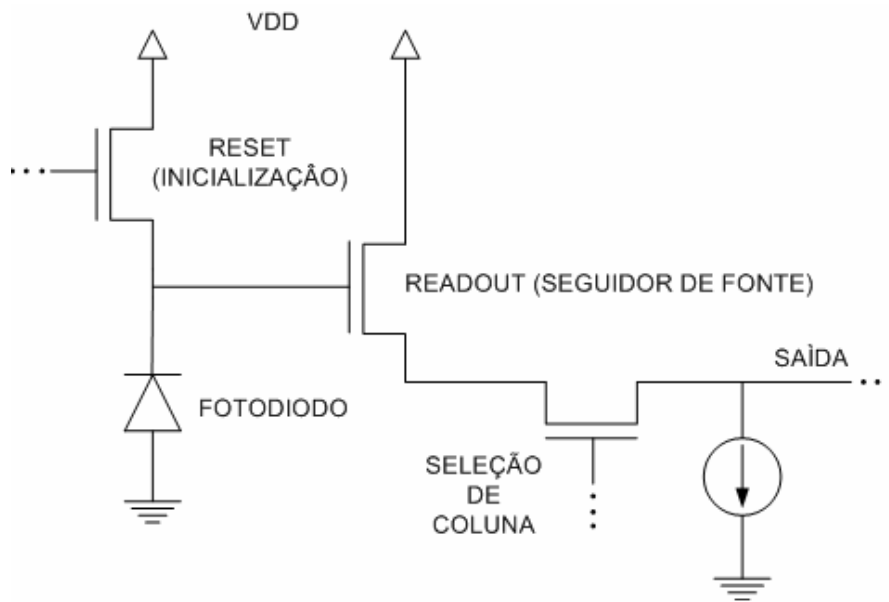


Figura 1-1 – Esquemático de um sensor de pixel ativo.

A conversão da carga em tensão na saída do APS é inversamente proporcional à capacitância total envolvida. Esta relação é expressa como (CHEUNG, 2002):

$$V_{SAIDA} = \frac{q}{C_{TOTAL}} \quad (1-1)$$

A capacitância total é, aproximadamente, igual a soma da capacitância do fotodiodo com a capacitância de porta do transistor de leitura:

$$C_{TOTAL} \approx C_{FOTODIODO} + C_{READOUT} \quad (1-2)$$

Tipicamente, o valor da capacitância de porta do transistor de leitura é cerca de um décimo da capacitância do fotodiodo, para pequenas geometrias. Portanto, a capacitância do fotodiodo predomina no cálculo da capacitância total. Isto torna o valor da tensão de saída do APS, praticamente, proporcional à capacitância do fotodiodo, o que caracteriza este tipo de APS.

Esta estrutura, comumente chamado de 3T, é também denominada de sensor de imagem CMOS devido à sua compatibilidade com essa tecnologia.

Com propósito de explorar esta tecnologia aplicando-a a plataformas de atitude de satélites de órbita baixa (*Low Earth Orbit Sattelite* – LEOS), o Laboratório de

Projeto de Circuitos - LPC da COPPE-UFRJ vem desenvolvendo pesquisas na implementação de matrizes APS tolerantes à radiação incorporando inovações estruturais e agregando novos conceitos com o propósito de fabricá-las em tecnologias CMOS comerciais de baixo custo.

A arquitetura do circuito, que utiliza como elemento básico o transistor NMOS com geometrias especiais e estruturas de proteção contra radiação ionizante, prevê a integração de todos os componentes necessários ao seu funcionamento, tornando dispensável o emprego de dispositivos externos, o que confere grande autonomia ao funcionamento do circuito integrado. Esta filosofia de projeto pretende que o imageador APS se constitua no componente básico de um sistema de sensoriamento estelar, compacto, para uso em um veículo espacial.

O projeto do imageador APS foi dividido em duas etapas principais. Na primeira foi projetado e fabricado um circuito integrado de teste, chamado protótipo de teste (LIMA, 2006), cujo propósito é possibilitar a caracterização elétrica utilizando o modelo EKV (Enz-Krummenacher-Vittoz) (ENZ *et. al.*, 1995; BUCHER *et. al.*, 1996, BUCHER *et. al.*, 1997), óptica (YANG *et. al.*, 1998) e a determinação das propriedades de resistência à radiação (ESA, 1993; ESA, 2003; TURCHETTA *et. al.*, 2003) das diversas estruturas que compõem o circuito.

Com o propósito de atender às necessidades específicas de cada tipo de caracterização, foram projetados os componentes básicos adequados, em tecnologia AMS CMOS 0,35  $\mu\text{m}$  (C35B4C3) (AMS, 2005a; AMS, 2005b).

Os blocos foram fabricados em um único circuito integrado e sua caracterização orientou o desenvolvimento e a fabricação da versão operacional da matriz de imageamento APS na etapa seguinte do projeto, empregando a mesma tecnologia. Esta versão do circuito integrado foi construída visando a caracterização de componentes a captura de imagens.

## **1.1. Objetivo do Trabalho**

O objetivo principal deste trabalho é descrever o projeto do protótipo operacional do imageador APS, cujas especificações foram baseadas nos resultados obtidos na caracterização do protótipo de teste, bem como apresentar a metodologia e os procedimentos elaborados com o propósito de conduzir esta caracterização.

## **1.2. Estrutura do Trabalho**

Além da introdução, esta dissertação contém 4 capítulos:

O capítulo 2 contém uma descrição sucinta do projeto do protótipo de teste do imageador APS.

O capítulo 3 aborda a caracterização do circuito integrado de teste, descrevendo o modelo de simulação utilizado e a metodologia empregada na extração dos parâmetros elétricos dos transistores. São apresentados também os procedimentos usados nos testes de resistência à radiação e caracterização óptica dos pixels. Finalmente são discutidos os resultados de interesse no projeto do protótipo operacional.

O capítulo 4 trata da descrição completa do projeto do protótipo operacional do imageador APS, acompanhada de esquemáticos, diagramas e layouts, demonstrando a operação de cada bloco que compõe o circuito integrado.

São apresentadas, também, neste capítulo, as simulações realizadas para verificação do funcionamento destes blocos.

O capítulo 5 apresenta as conclusões desta dissertação e as propostas de trabalhos futuros.

## **2. Protótipo de teste do APS em tecnologia 0,35 $\mu\text{m}$**

### **2.1. Introdução**

Este capítulo apresenta de maneira sucinta o protótipo de teste do imageador APS (LIMA, 2006) fabricado em tecnologia AMS CMOS 0,35  $\mu\text{m}$  (C35B4C3) (AMS, 2005a; AMS, 2005b), enfocando os aspectos relativos à sua caracterização, que serviu de subsídio para desenvolvimento do protótipo operacional na etapa seguinte do projeto.

### **2.2. Arquitetura geral do circuito integrado**

O circuito integrado é composto de duas partes principais. Uma matriz APS 64x64 associada a uma lógica de endereçamento e controle e um conjunto de estruturas para teste e caracterização de cada um dos blocos fundamentais do imageador APS.

As duas partes do circuito foram concebidas para funcionarem independentemente, de forma a evitar que o mau funcionamento de uma das partes prejudique a outra. Na medida do possível, esta estratégia de projeto também foi estendida para os blocos que compõem cada uma dessas partes.

Todos os componentes do circuito foram projetados respeitando regras especiais para permitir o funcionamento após uma substancial exposição à radiação ionizante. Estas regras foram derivadas da experiência adquirida em projetos de circuitos resistentes à radiação, usando tecnologias de fabricação mais antigas e serão validadas na tecnologia atual com este primeiro protótipo.

#### **2.2.1. Diagrama em blocos**

O diagrama em blocos do protótipo de teste é mostrado na Figura 2-1.

A primeira parte do circuito, composta por uma matriz de 64 x 64 pixels, é destinada à caracterização óptica. Ela contém 4 submatrizes de 32 x 32 pixels, três



das quais utilizam fotodiodos de junção profunda (*nwell / psub* – poço n em substrato p). A quarta submatriz utiliza fotodiodos de junção rasa (*n+/psub* – difusão n+ em substrato p) convencionais (AMS, 2005a).

Esta parte do circuito inclui também o bloco lógico de controle e endereçamento da matriz. Este bloco é composto por isoladores (*buffers*), decodificadores e demultiplexadores, responsáveis pela geração dos sinais necessários ao acesso a cada um dos pixels da matriz.

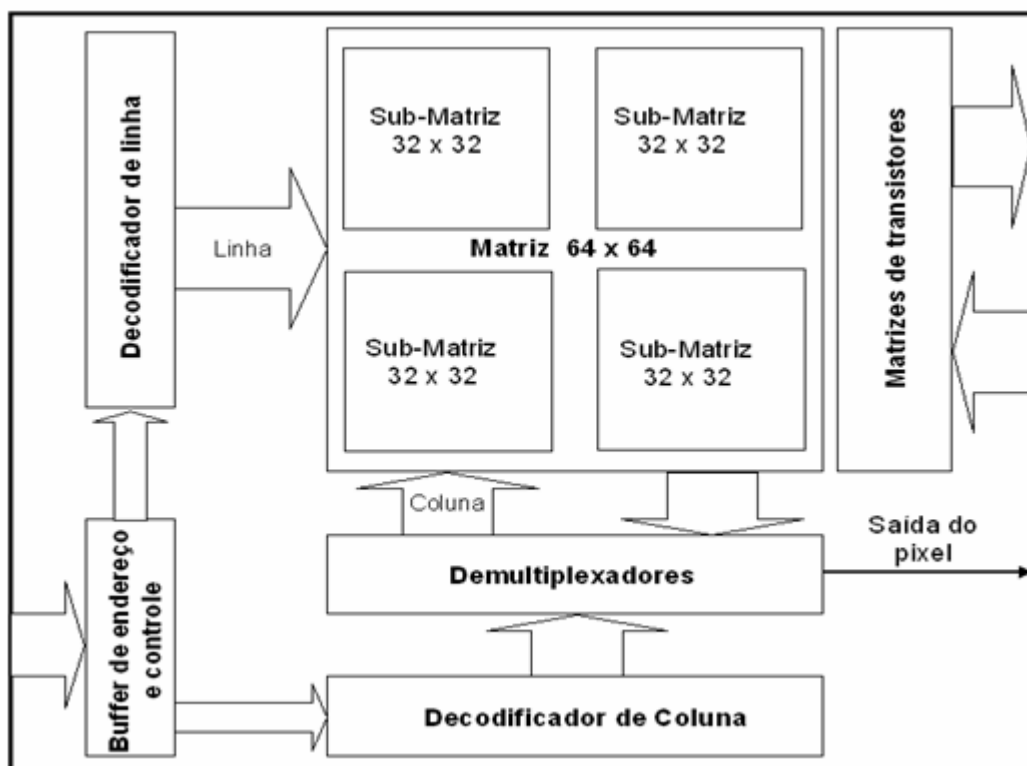


Figura 2-1- Diagrama em blocos do protótipo de teste do imageador APS.

A lógica de controle é projetada para selecionar seqüencialmente os pixels através de um demultiplexador. O pixel é selecionado pelo endereçamento de uma linha e uma coluna da matriz, de tal forma que o sinal de apenas um pixel é apresentado na saída de cada vez.

A segunda parte do circuito é constituída por matrizes de transistores para extração de parâmetros. Como os transistores NMOS são particularmente vulneráveis

aos efeitos da radiação ionizante, torna-se necessário o emprego de geometrias fechadas e de estruturas de proteção na construção dos transistores. Estas estruturas eliminam caminhos parasitas entre os terminais do dispositivo que elevam as correntes de fuga quando o circuito é exposto à radiação. O emprego de geometrias não convencionais impossibilita a utilização dos modelos de simulação para dispositivos padrão fornecidos pelo fabricante.

O modelo de simulação de referência da indústria para projeto de circuitos integrados é conhecido pela sigla BSIM3v3 (Berkeley Short-channel IGFET Model) (WEIDONG *et al.*, 1999; AMS, 2005b). O modelo contém aproximadamente 70 parâmetros, cuja extração é feita pelo fabricante utilizando sistemas de aquisição de dados automatizados. Devido a esta complexidade é quase impossível obter relações simples para o uso de fórmulas de ajuste para geometrias não convencionais.

Desta forma optou-se por utilizar o modelo EKV (Enz-Krummenacher-Vittoz) (BUCHER *et al.*, 1997), por se tratar de um modelo físico do transistor, com apenas 9 parâmetros, podendo ser facilmente ajustado para geometrias não convencionais. Entretanto, como os parâmetros para este modelo não são fornecidos pela AMS, é necessário efetuar a extração como descrito na seção 3.2. Com esta finalidade foram inseridos no circuito integrado 28 transistores destinados à extração dos parâmetros de processo para o modelo EKV. Os transistores foram construídos com as dimensões necessárias para atender aos requisitos definidos pela metodologia de extração do modelo (ENZ *et al.*, 1995). A matriz está dividida em 4 grupos de 7 transistores, sendo os dois primeiros grupos compostos por transistores resistentes à radiação.

Os dois grupos seguintes são compostos por transistores NMOS e PMOS convencionais. Os transistores NMOS são isolados entre si e do restante do circuito por anéis isolantes para evitar os efeitos da inversão do substrato pela radiação ionizante. Os transistores PMOS, que são naturalmente tolerantes à radiação ionizante, possuem estruturas de proteção apenas no poço N onde são construídos. A

proteção consiste em anéis de guarda polarizados pela alimentação positiva  $V_{DD}$  (3,3 Volts) para evitar interações indesejadas.

Os transistores de uma mesma matriz possuem os terminais dreno e os terminais fonte interligados como é mostrado na Figura 2-2.

Os terminais porta são conectados de forma perpendicular, através dos 4 grupos, formando 7 colunas, permitindo desta maneira, medir apenas um dos transistores de cada grupo por vez.

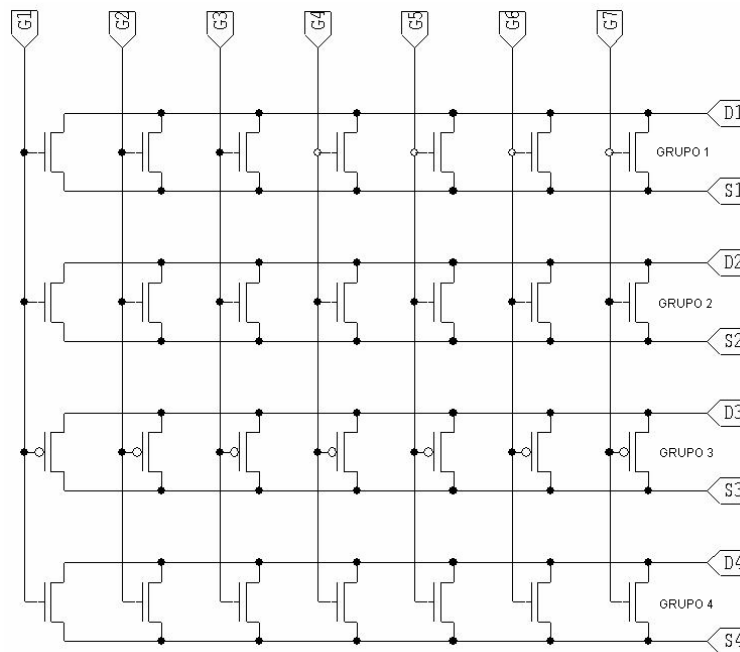


Figura 2-2 – Matriz de transistores de teste

#### 2.2.1.1. Transistor resistente à radiação *dogbone*

Trata-se de um transistor resistente à radiação compacto com geometria fechada e simétrica o que torna mais simples sua caracterização elétrica.

Seus terminais de dreno e fonte são totalmente envolvidos por polissilício, conforme mostra a Figura 2-3, obedecendo às regras de distância especificadas para a tecnologia 0,35  $\mu\text{m}$  (AMS, 2005a).

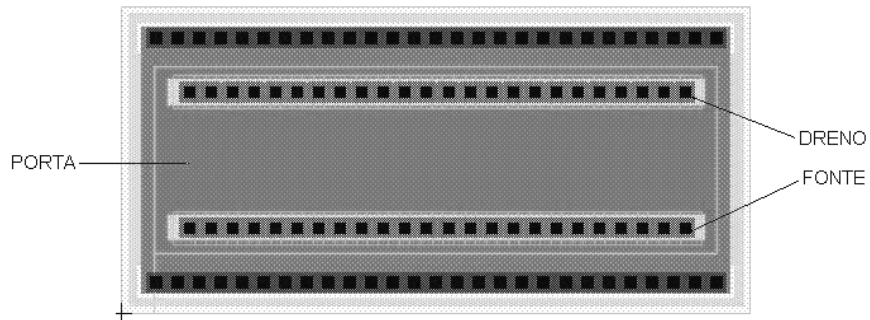


Figura 2-3 – Layout de um transistor resistente à radiação (*dogbone*).

As áreas em torno dos contatos de dreno e fonte são difusões n+ enquanto a região externa ao transistor é circundada por um anel de difusão p+. Desta forma, os principais problemas, decorrentes da exposição à radiação, observados em transistores NMOS convencionais, são bastante atenuados ou completamente eliminados, ou seja:

- A difusão p+ externa eleva o  $V_{TO}$  do transistor, tornando a inversão do substrato nesta região mais difícil, eliminando a possibilidade de condução entre dois transistores próximos.
- A região de transição entre óxido fino e óxido espesso na extremidade do canal conhecida como “bico de passarinho” (*bird's beak*) é eliminada evitando a criação de transistores parasitas entre dreno e fonte. Como consequência, a condução entre dreno e fonte é inteiramente controlada pelo terminal de porta do transistor.

Como vantagem adicional o transistor é simétrico o que simplifica a sua caracterização elétrica.

### 2.2.2. Layout do circuito

O layout do circuito completo é mostrado na Figura 2-4.

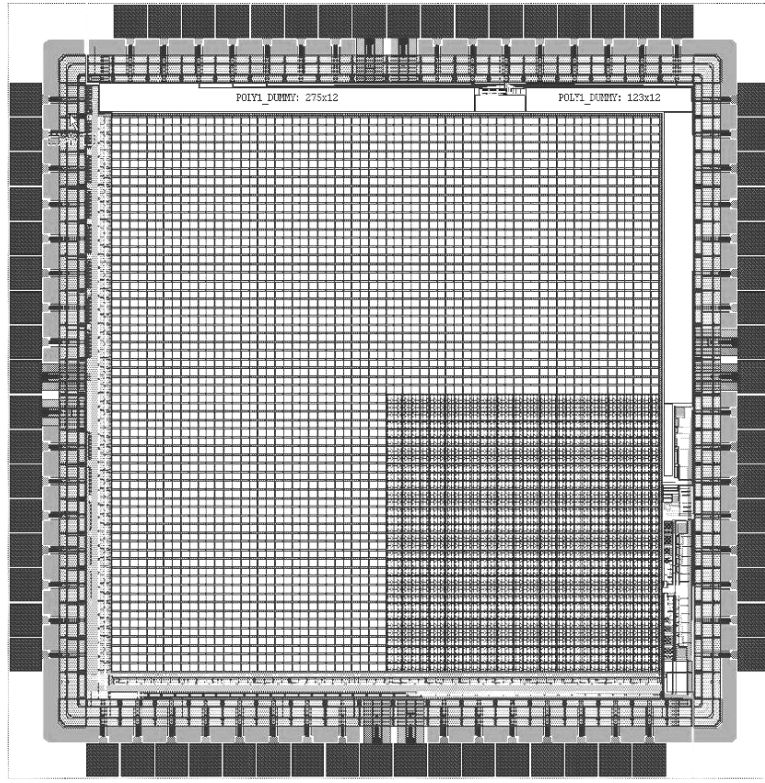


Figura 2-4 – Layout do protótipo de teste do imageador APS.

### **3. Caracterização do protótipo de teste do imageador APS**

#### **3.1. Introdução**

Como descrito no capítulo anterior, o protótipo de teste APS possui transistores convencionais e resistentes à radiação, destinados à caracterização elétrica e determinação dos efeitos da radiação no comportamento desses dispositivos.

Na seção 3.2 deste capítulo é apresentada a caracterização elétrica dos transistores do protótipo de teste do imageador APS consistindo na extração dos parâmetros do modelo de simulação EKV destes dispositivos.

Na seção 3.3 os efeitos da radiação nas características elétricas desses transistores são discutidos e na seção 3.4 é apresentada a caracterização óptica dos pixels.

#### **3.2. Caracterização elétrica**

A caracterização elétrica dos transistores foi realizada de acordo com os procedimentos definidos para a extração dos parâmetros específicos do modelo EKV em (ENZ *et al.*, 1995). Os parâmetros extraídos foram: a tensão de limiar, o fator de corpo, a transcondutância ou fator ganho, o coeficiente de redução de mobilidade, o coeficiente de modulação do comprimento do canal e os parâmetros relativos às dimensões do canal, descritos mais adiante.

##### **3.2.1. O modelo EKV**

O modelo EKV (ENZ *et al.*, 1995) foi desenvolvido pela Escola Politécnica Federal de Lausanne (EPFL), visando o projeto e simulação de circuitos analógicos e digitais operando em baixa corrente e baixa tensão. A precisão e a continuidade entre as regiões de operação dos transistores MOS, em análises de pequenos e grandes sinais, constituem as principais características do modelo, além do número relativamente pequeno de parâmetros.

O modelo explora a simetria intrínseca dos transistores MOS integrados referindo todas as tensões nos terminais do dispositivo ao substrato, como é mostrado na Figura 3-1. Isso faz com que a carga produzida na região de inversão do canal  $Q'_{inv}$  seja controlada pela diferença de tensão  $V_p - V_{ch}$ , onde  $V_{ch}$  é definida como a diferença de potencial no canal e  $V_p$  é tensão de *pinch-off*.

A tensão de *pinch-off*  $V_p$  é definida como sendo o valor particular de  $V_{ch}$  para o qual a inversão de cargas é nula para uma dada tensão de porta  $V_G$ .

Os vários modos de operação do transistor são representados em termos das tensões  $V_p - V_S$  e  $V_p - V_D$ , onde  $V_S$  e  $V_D$  são respectivamente os potenciais de fonte e dreno do dispositivo em relação ao substrato.

Usando o modelo de cargas e assumindo constante a concentração de portadores ao longo do canal, a corrente de dreno  $I_D$  pode ser expressa como a diferença entre a corrente direta  $I_F$  decorrente do fluxo de portadores majoritários e a corrente reversa  $I_R$  originada pelo fluxo de portadores minoritários. Essas correntes variam em função das tensões  $V_p - V_S$  e  $V_p - V_D$ .

Na região de inversão fraca essa função se comporta de forma exponencial e na região de inversão forte de forma quadrática.

O modelo assegura que o mesmo princípio de extração de parâmetros pode ser aplicado para diversas geometrias, incluindo dispositivos de canal estreito e curto.

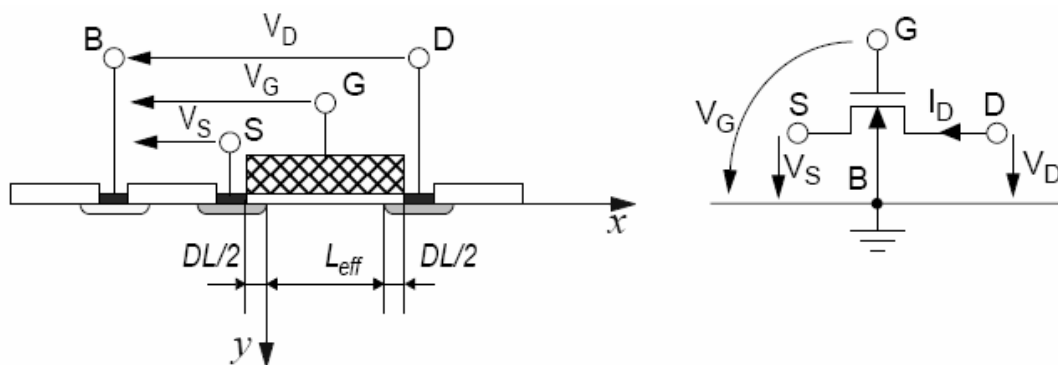


Figura 3-1 – Seção transversal de um transistor MOS e o símbolo correspondente.

O potencial do canal  $V_{ch}$ , que depende da posição  $x$  ao longo do canal, é definido como sendo a diferença entre o potencial Fermi dos portadores que formam o canal  $\phi_n$  e o potencial Fermi dos portadores majoritários  $\Phi_F$ .

Como a densidade de corrente dos portadores minoritários, buracos no caso dos transistores de canal n, pode ser considerada desprezível, o potencial do canal  $V_{ch}$  torna-se simplesmente  $V_{ch} = \phi_n - \Phi_F$ . Esse potencial representa um desequilíbrio na distribuição de elétrons produzido pelas tensões de fonte e de dreno.

### 3.2.1.1. Definições

Como pode ser visto na Figura 3-1, as tensões de fonte  $V_S$ , porta  $V_G$  e dreno  $V_D$  são referidas ao substrato, o que assegura ao modelo EKV, em particular, a manutenção da simetria intrínseca dos transistores MOS. A Tabela 3-1 (ENZ *et al.*, 1995) apresenta as definições dos símbolos utilizados pelo modelo.

Tabela 3-1 – Definições do modelo EKV

Símbolo	Descrição	Unidade
$q$	Carga elementar	$A \cdot s$
$U_T = k \cdot T / q$	Tensão termodinâmica	$V$
$n_i$	Concentração intrínseca de portadores no silício	$m^{-3}$
$\epsilon_{Si}, \epsilon_{ox}$	Permissividade dielétrica do Si e do óxido de silício	$F/m$
$C'_{ox} = \epsilon_{ox} / t_{ox}$	Capacitância de porta por unidade de área	$F/m^2$
$N_{SUB}$	Concentração de portadores no substrato	$m^{-3}$
$\Phi_F = U_T \times \ln(N_{SUB} / n_i)$	Potencial de Fermi do substrato	$V$
$\psi, \psi_S = \psi _{y=0}$	Potencial eletrostático e potencial de superfície	$V$
$V_{ch} = \phi_n - \phi_p = \phi_n - \Phi_F$	Potencial do canal	$V$
$Q'_{inv}$	Carga na região de inversão por unidade de área	$A \cdot s / m^2$
$\mu_n$	Mobilidade dos elétrons no canal	$m^2 / V \cdot s$



### 3.2.1.2. Tensão de *pinch-off*

A tensão de “*pinch-off*” definida anteriormente é um parâmetro fundamental do modelo EKV e sua medida fornece um método eficiente de determinação dos principais parâmetros do modelo tais como a tensão de limiar (*threshold*) e outros parâmetros relativos à concentração de portadores no canal. A relação entre  $V_p$  e a tensão de porta  $V_G$  é dada por (ENZ *et al.*, 1995):

$$V_p = V_G - \psi_0 - \gamma \cdot \left[ \sqrt{V_G + \left(\frac{\gamma}{2}\right)^2} - \frac{\gamma}{2} \right] \quad (3-1)$$

Onde  $\gamma$  chamado de coeficiente de efeito de corpo ou fator de substrato depende da geometria do dispositivo. O parâmetro  $\psi_0$ , denominado no modelo EKV de *PHI*, é o potencial de superfície na região do canal e corresponde ao dobro do potencial Fermi  $\Phi_F$  (ENZ *et al.*, 1995).

### 3.2.1.3. Fator de inclinação

O fator de inclinação é definido como a derivada da tensão de porta  $V_G$  em relação à tensão de *pinch-off*  $V_p$ , sendo dado por (ENZ *et al.*, 1995):

$$n = \frac{\partial V_G}{\partial V_p} = 1 + \frac{\gamma}{2 \cdot \sqrt{\psi_0 + V_p}} \quad (3-2)$$

Uma vez que  $V_p$  depende da tensão de porta  $V_G$ , o fator de inclinação também pode ser expresso diretamente em função de  $V_G$  (ENZ *et al.*, 1995):

$$\frac{1}{n} = \frac{\partial V_p}{\partial V_G} = 1 - \frac{\gamma}{2 \cdot \sqrt{V_G - V_{T0} + \left(\frac{\lambda}{2} + \sqrt{\psi}\right)^2}} \quad (3-3)$$

Onde  $V_{T0}$  é a tensão de limiar definida como o valor da tensão de porta para o qual a inversão de cargas no canal é nula ( $Q'_{inv} = 0$ ).

#### 3.2.1.4. Corrente de dreno e corrente específica

A corrente de dreno é decomposta em corrente direta  $I_F$  e corrente reversa  $I_R$ , que são funções respectivamente de  $V_P - V_S$  e  $V_P - V_D$ .

A decomposição da corrente de dreno na região de inversão forte é dada por (ENZ *et al.*, 1995):

$$I_F = \begin{cases} \frac{n \cdot \beta}{2} \cdot (V_P - V_S)^2 & (\text{para } V_S < V_P) \\ 0 & (\text{para } V_S \geq V_P) \end{cases} \quad (3-4)$$

$$I_R = \begin{cases} \frac{n \cdot \beta}{2} \cdot (V_P - V_D)^2 & (\text{para } V_D < V_P) \\ 0 & (\text{para } V_D \geq V_P) \end{cases} \quad (3-5)$$

Onde:

$$\beta = \mu_n \cdot C_{ox} \cdot \frac{W}{L} \quad (3-6)$$

A corrente de dreno na região de inversão fraca é definida pela Equação (3-7) (ENZ *et al.*, 1995):

$$I_D = I_S \cdot \left( e^{\frac{V_P - V_S}{U_T}} - e^{\frac{V_P - V_D}{U_T}} \right) \quad (3-7)$$

Onde  $I_S$ , denominada corrente específica é obtida por interpolação das correntes entre as duas regiões sendo dada por (BUCHER *et al.*, 1996):

$$I_S = 2 \cdot n \cdot \beta \cdot U_T^2 \quad (3-8)$$

Pode ser visto na Equação (3-8) que a corrente específica  $I_S$  depende essencialmente da relação entre largura e comprimento ( $W/L$ ) de canal do dispositivo, do fator de inclinação e da mobilidade  $\mu_n$ . Por essa razão a corrente  $I_S$  é também chamada de fator de normalização da corrente de dreno e é usada como corrente de polarização na determinação da tensão de *pinch-off*.

### 3.2.1.5. Efeitos de canal estreito e canal curto

Em dispositivos com grandes dimensões a tensão de *pinch-off* é dada pela Equação (3-1) e depende apenas da tensão de porta e dos parâmetros  $V_{TO}$ ,  $\gamma$  e  $\psi_o$ .

Para dispositivos com pequenas dimensões, ou seja, dimensões próximas dos valores mínimos permitidos pela tecnologia empregada, o efeito de corpo deve considerar as correções associadas às pequenas geometrias. Isso faz com que a tensão de *pinch-off* dependa também de variáveis como o comprimento efetivo do canal  $L_{eff}$  e largura efetiva do canal  $W_{eff}$ .

Essa dependência é modelada através dos parâmetros chamados de efeito de canal curto,  $L_\eta$ , e efeito de canal estreito,  $W_\eta$ , através da equação (BUCHER *et al.*, 1996):

$$\gamma_\eta = \gamma - \frac{\epsilon_{Si}}{C_{OX}} \cdot \left[ \frac{L_\eta}{L_{eff}} \cdot \sqrt{\psi_o + V_D} + \left( \frac{L_\eta}{L_{eff}} - 3 \cdot \frac{W_\eta}{W_{eff}} \right) \cdot \sqrt{\psi_o + V_S} \right] \quad (3-9)$$

### 3.2.2. Metodologia de extração de parâmetros

Os procedimentos de extração de parâmetros do modelo EKV são efetuados seqüencialmente a partir de medidas DC em dispositivos com três geometrias diferentes; transistores largos e longos, transistores estreitos e longos e transistores largos e curtos.

A medida da tensão de *pinch-off* é utilizada na extração dos parâmetros  $V_{TO}$ ,  $\gamma$  e  $\psi_o$ , a partir de um dispositivo com canal largo e longo (para o qual  $\gamma$  é dado pela Equação (3-1)).

Na tecnologia  $0,35\mu m$  utilizada no trabalho, um dispositivo pode ser considerado grande se a largura e o comprimento do canal forem superiores a  $10\mu m$  (WEIDONG *et al.*, 1999). Esse mesmo dispositivo também é usado na extração dos parâmetros relacionados à mobilidade através da determinação da variação da corrente de dreno em função da tensão de porta ( $I_D \times V_G$ ) (TSIVIDIS, 1999).

A variação da tensão de *pinch-off* em função da tensão de porta é utilizada também na determinação dos parâmetros relacionados aos efeitos de canal curto e estreito em dispositivos de pequenas dimensões. Para tanto, é necessária a extração prévia dos valores do comprimento efetivo do canal  $L_{eff}$  e da largura efetiva do canal  $W_{eff}$ , que utiliza dispositivos com dimensões mínimas. Neste caso, largura de canal igual a  $0,4\mu m$  e comprimento de canal igual  $0,35\mu m$  (AMS, 2005a). Uma vez determinados, esses valores são empregados nos cálculos dos parâmetros de efeito de canal curto,  $L_\eta$ , e efeito de canal estreito,  $W_\eta$ , utilizando a Equação (3-9).

As correções das dimensões do canal definidas pelo modelo EKV como  $L_D$  para correção do comprimento do canal e  $W_D$  para correção da largura do canal, são determinadas também através dos valores das dimensões efetivas do canal (BUCHER *et al.*, 1996).

O parâmetro associado ao efeito de modulação do comprimento do canal,  $\lambda$ , é determinado a partir da variação da corrente de dreno,  $I_D$ , em função da tensão de dreno,  $V_D$ , para valores elevados da tensão de porta,  $V_G$ . Para esta medida são usados transistores de canal curto onde este efeito é significativo (TSIVIDIS, 1999).

Os parâmetros de extração do modelo EKV são listados na Tabela 3-2 (BUCHER *et al.*, 1996). Os demais parâmetros que compõem o modelo estão relativos ao processo de fabricação e são fornecidos pelo fabricante do circuito integrado.

Tabela 3-2 – Parâmetros de extração do modelo EKV

Nome	Acrônimo	Descrição	Unidade
$V_{TO}$	VTO	Tensão de limiar	$V$
$\gamma$	GAMMA	Efeito de corpo	$V^{1/2}$
$\psi_0$	PHI	$2\phi_F$	$V$
$K'$	KP	Fator de ganho	$A/V^2$
$\theta$	THETA	Coefficiente de redução de mobilidade	$1/V$
$L_D$	LD	Correção do comprimento do canal	$m$
$W_D$	WD	Correção da largura do canal	$m$
$\lambda$	LAMBDA	Coefficiente de modulação do comprimento do canal	$1/V$
$L_\eta$	LETA	Coefficiente de efeito de canal curto	-
$W_\eta$	WETA	Coefficiente de efeito de canal estreito	-

### 3.2.3. Extração de parâmetros

Para realizar as medidas necessárias à extração dos parâmetros dos transistores de teste do protótipo APS, foram empregados dois instrumentos de medida modelo KEITHLEY 2400 LV Sourcemeter. Estes equipamentos operam conectados a um microcomputador, através de um conversor GP-IB/USB, por onde são enviados os dados de configuração requeridos para a execução de cada medida. A configuração dos instrumentos de medida e a formatação dos dados de saída, que consiste na geração de gráficos e planilhas, são efetuadas pelo programa LabTracer, fornecido pela KEITHLEY.

Com o propósito de automatizar os cálculos e realizar os ajustes necessários à determinação dos parâmetros dos transistores, foi desenvolvido um programa utilizando o ambiente MATLAB (CHAPMAN, 2002) para a solução das equações do modelo EKV. O programa permite a captura direta dos dados fornecidos pelos instrumentos de medida através de sua interface gráfica.

O ambiente de teste montado no Laboratório de Projetos de Circuitos da COPPE-UFRJ (LPC) para a realização das medidas é mostrado Figura 3-2.

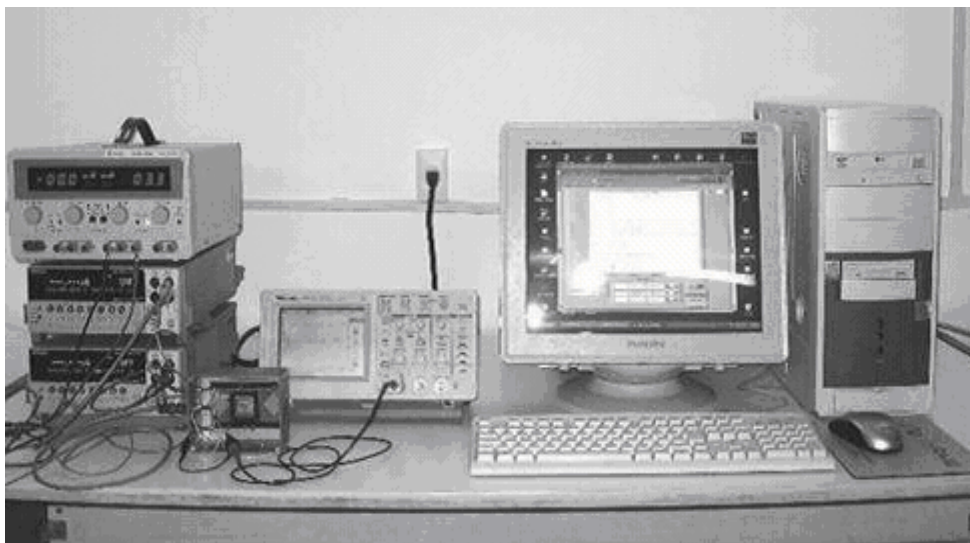


Figura 3-2 – Ambiente para medidas de extração de parâmetros

### 3.2.3.1. Determinação da corrente específica

Para determinar a variação da tensão de *pinch-off* em função da tensão de porta  $V_G$  no modelo EKV é necessário polarizar os transistores com a corrente específica  $I_S$  que é dada pela inclinação da curva  $\sqrt{I_D} \times V_S$  (BUCHER *et al*, 1996):

$$\frac{d\sqrt{I_D}}{dV_S} = \frac{\sqrt{I_S}}{2 \cdot U_T} \quad (3-10)$$

Onde  $U_T$  é definida como tensão térmica (26 mV a 25 °C ).

No gráfico da Figura 3-3 é apresentado o exemplo de uma curva (curva em destaque) da variação da raiz quadrada da corrente de dreno em função da tensão de fonte de um transistor de canal n (BUCHER *et al.*, 1996).

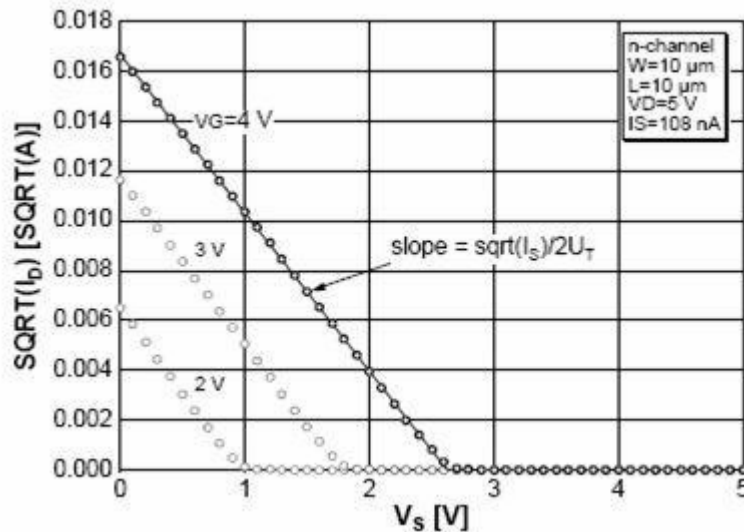


Figura 3-3 – Corrente específica.

Pela metodologia de extração a medida da corrente específica é efetuada com o transistor polarizado de forma a operar em regime de inversão forte com saturação. Nesta condição são determinados os valores da corrente de dreno  $I_D$  em função da variação da tensão de fonte  $V_S$ .

O circuito para a extração de  $I_S$  é apresentado na Figura 3-4. Para estabelecer a operação em inversão forte do transistor, a unidade A atua como fonte de tensão de polarização do terminal de porta com valor em torno de 2,5 Volts ( $\geq 80\%$  de  $V_{DD}$ ).

A unidade B, conectada terminal de fonte do transistor, é configurada em modo de varredura de tensão com leitura de corrente para medir a corrente de dreno do transistor.

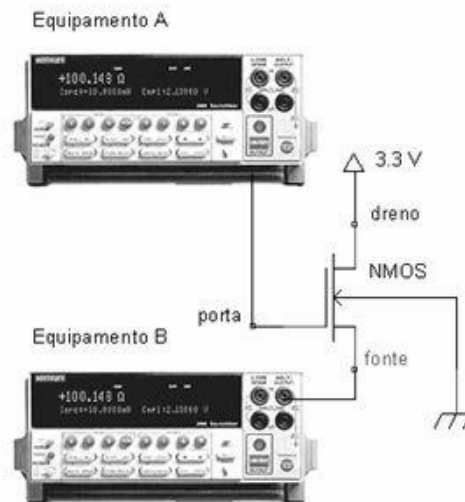


Figura 3-4 – Circuito usado para determinar a corrente específica.

A tensão no terminal de dreno do transistor é mantida constante em 3,3 Volts, durante toda a medida por meio de uma fonte externa de polarização DC. Com isto a corrente específica pode ser calculada pela Equação (3-10).

### 3.2.3.2. Determinação da tensão de pinch-off

A tensão de *pinch-off* é a tensão medida no terminal fonte quando o transistor opera em regime de inversão moderada com saturação, para uma corrente de fonte constante e igual à metade da corrente específica (BUCHER *et al.*, 1996).

O circuito da Figura 3-5 apresenta a configuração dos instrumentos para realização desta medida. Neste circuito a unidade A, conectada aos terminais de dreno e de porta do transistor, é configurada em modo de varredura de tensão. A conexão do transistor como diodo garante a operação em regime de saturação necessária à extração e permite a leitura direta dos valores das tensões de porta  $V_G$ .

A unidade B, conectada ao terminal de fonte do transistor, é programada em modo de fonte de corrente de polarização com leitura de tensão na metade do valor da corrente específica.



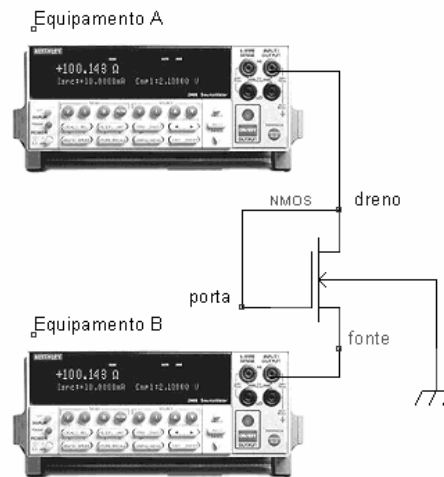


Figura 3-5 – Circuito de medida da tensão de *pinch-off*.

A tensão de limiar  $V_{TO}$  no modelo EKV é o valor da tensão de porta  $V_G$  na condição em que  $V_P = 0$ , como é mostrado na Figura 3-6.

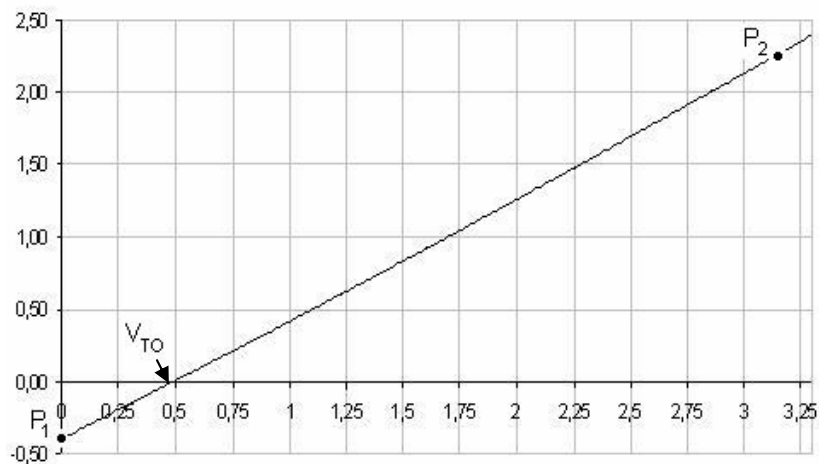


Figura 3-6 – Curva para extração de  $V_{TO}$ ,  $GAMMA$  e  $PHI$ .

A curva  $V_P \times V_G$  para a extração de  $V_{TO}$  na figura anterior corresponde a um dispositivo de canal largo e longo ( $W \geq 10 \mu m$  e  $L \geq 10 \mu m$ ) (BUCHER *et al.*, 1996).

Para a extração dos efeitos de canal curto e canal estreito devem ser obtidas curvas para transistores de canal curto e canal estreito respectivamente.

### 3.2.3.3. Determinação dos parâmetros GAMMA e PHI

Transistores com terminal de fonte não aterrado estão sujeitos à variação da tensão de limiar em função da diferença de potencial entre a fonte e o substrato como descrito pela Equação (3-1). O coeficiente  $\gamma$ , conhecido como efeito de corpo, recebe no modelo o acrônimo *GAMMA*. Na mesma equação o parâmetro *PHI* corresponde ao potencial de superfície do canal. Para transistores de canal largo e longo estes dois parâmetros também são extraídos a partir da curva  $V_p \times V_G$  mostrada na Figura 3-6. Os valores de  $V_G$  e  $V_p$  correspondentes aos pontos  $P_1$  e  $P_2$  mostrados na figura, quando substituídos na Equação (3-1) (ENZ *et al.*, 1995) produzem o sistema:

$$\begin{cases} V_{P1} = V_{G1} - PHI - GAMMA \cdot \left[ \sqrt{V_{G1} + \left(\frac{GAMMA}{2}\right)^2} - \frac{GAMMA}{2} \right] \\ V_{P2} = V_{G2} - PHI - GAMMA \cdot \left[ \sqrt{V_{G2} + \left(\frac{GAMMA}{2}\right)^2} - \frac{GAMMA}{2} \right] \end{cases} \quad (3-11)$$

O valor  $V_G = 0$  no ponto  $P_1$ , é usado para determinar o valor de *PHI*. Os valores correspondentes ao ponto  $P_2$  são empregados na determinação de *GAMMA*. Estes valores estão situados em uma região da curva onde o efeito de corpo é bastante significativo, ou seja,  $V_G \gg V_{TO}$ .

O sistema de equações (3-11) é resolvido no MATLAB (CHAPMAN, 2002), usando a função *solve*.

### 3.2.3.4. Determinação dos parâmetros KP e THETA.

- Fator ganho *KP*

O fator de ganho *KP* é extraído a partir da curva  $I_{DS} \times V_{GS}$  de um transistor de canal largo e longo operando na região linear. Nesta região a diferença de tensão entre os terminais de dreno e fonte do dispositivo é menor que a diferença de tensão entre os terminais de porta e fonte subtraída da tensão de limiar ( $V_{DS} < V_{GS} - V_{TO}$ ) (TSIVIDIS, 1999).

Para efetuar a medida garantindo a condição de operação linear o terminal fonte é aterrado para evitar o efeito de corpo e com a tensão de dreno do dispositivo mantida na faixa de 50 a 100 mV a tensão de porta é variada. A curva obtida é mostrada na Figura 3-7.

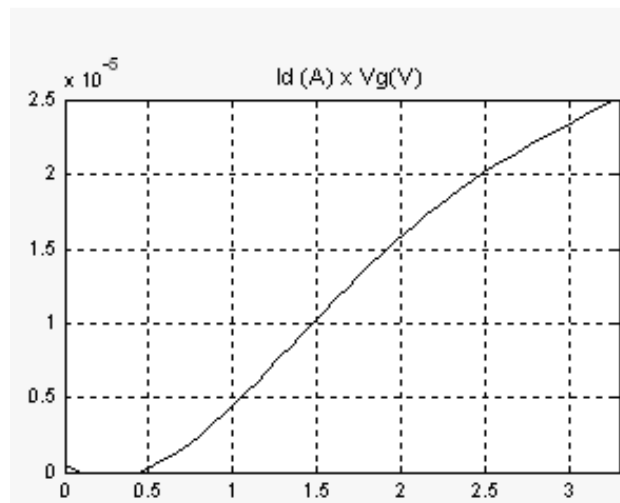


Figura 3-7 – Curva para determinação de KP

O diagrama de conexões com a instrumentação para determinar o parâmetro *KP* é mostrado na Figura 3-8.

Neste circuito a unidade A, conectada ao terminal de dreno do dispositivo, fornece a tensão de polarização de dreno e mede o valor da corrente de dreno. A unidade B opera no modo gerador de varredura de tensão e é conectada ao terminal de porta.

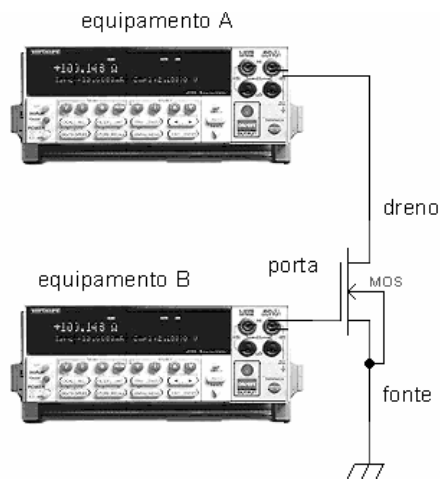


Figura 3-8 – Circuito para determinar  $KP$  e  $THETA$

O valor do parâmetro  $KP$  é obtido através dos valores de corrente e tensão no ponto de máxima inclinação da curva  $I_D \times V_G$  empregando as expressões (AMS, 2005b):

$$I_D = KP \cdot \frac{W}{L} \cdot V_D \cdot \left( V_G - V_{TO} - \frac{V_D}{2} \right) \quad (3-12a)$$

$$KP = \frac{I_D}{\frac{W}{L} \cdot V_D \cdot \left( V_G - V_{TO} - \frac{V_D}{2} \right)} \quad (3-12b)$$

- **Coefficiente de redução de mobilidade THETA**

Nos transistores MOSFET o fluxo de portadores ocorre com maior intensidade na superfície do substrato, originando inúmeras colisões. Conseqüentemente, quanto maior a intensidade do campo elétrico transversal produzido pela tensão de porta, maior será a frequência das colisões provocando a redução da mobilidade dos portadores. Esta variação da mobilidade efetiva em função da tensão de porta permite determinar o coeficiente de redução de mobilidade através da expressão (TSIVIDIS, 1999):

$$\mu_{eff} = \frac{\mu_0}{1 + \theta \cdot (V_G - V_{TO})} \Big|_{V_S = 0} \quad (3-13)$$

Onde a variável  $\theta$  corresponde ao parâmetro *THETA* no modelo EKV.

Os valores da mobilidade efetiva são calculados a partir da Equação (3-12a), substituindo-se o termo  $KP$  por  $\mu_{eff} \cdot C_{ox}$  (AMS, 2005b). Onde  $C_{ox}$  é a capacitância de porta calculada pelo produto da área de porta pela capacitância por unidade de área,  $C_{GOX}$ , do processo de fabricação (AMS, 2005b):

$$KP = \mu_{eff} \cdot W \cdot L \cdot C_{GOX} \quad (3-14)$$

Substituindo (3-14) em (3-12a) obtém-se:

$$I_D = \mu_{eff} \cdot C_{ox} \cdot W^2 \cdot V_D \cdot \left( V_G - V_{TO} - \frac{V_D}{2} \right) \quad (3-15)$$

$$\mu_{eff} = \frac{I_D}{C_{ox} \cdot W^2 \cdot V_D \cdot \left( V_G - V_{TO} - \frac{V_D}{2} \right)} \quad (3-16)$$

A variação da mobilidade em função de  $V_G$  é obtida através da Equação (3-16) utilizando valores de corrente de dreno  $I_D$  e tensão de porta  $V_G$  extraídos da curva da Figura 3-7

A Figura 3-9 apresenta a curva da variação da mobilidade efetiva em função da tensão de porta  $V_G$  construída pelo programa de extração.

O coeficiente de redução de mobilidade é definido como sendo o coeficiente angular da reta pontilhada mostrada no gráfico.

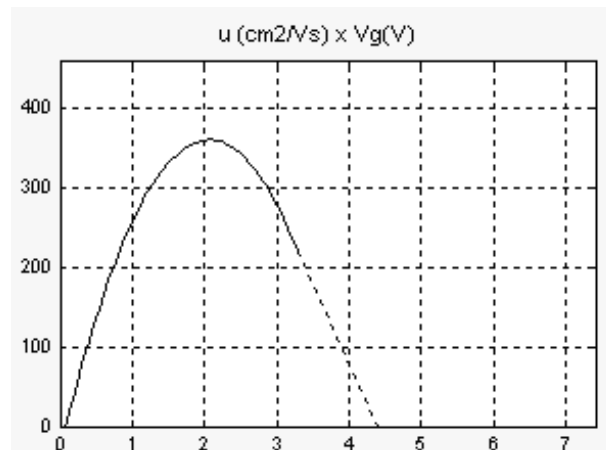


Figura 3-9 – Curva para determinação de THETA

### 3.2.3.5. Modulação do comprimento do canal

Este efeito ocorre na região de saturação do transistor de canal curto definida por  $V_{DS} \geq V_{SAT}$  onde  $V_{SAT}$  é a tensão de saturação dada por  $V_{SAT} = (V_{GS} - V_{TO})$ .

O fenômeno ocorre para valores elevados da tensão dreno-fonte quando o forte campo elétrico formado na região de dreno provoca a saturação da velocidade dos portadores nesta região. Como consequência o comprimento efetivo do canal diminui devido ao aumento do valor de  $\Delta L$  como mostra a Figura 3-10 (TSIVIDIS, 1999). O aumento de  $\Delta L$  é proporcional à diferença de potencial entre dreno e fonte.

Este efeito é chamado de modulação do comprimento de canal,  $\lambda$ , e é denominando de *LAMBDA* no modelo EKV.

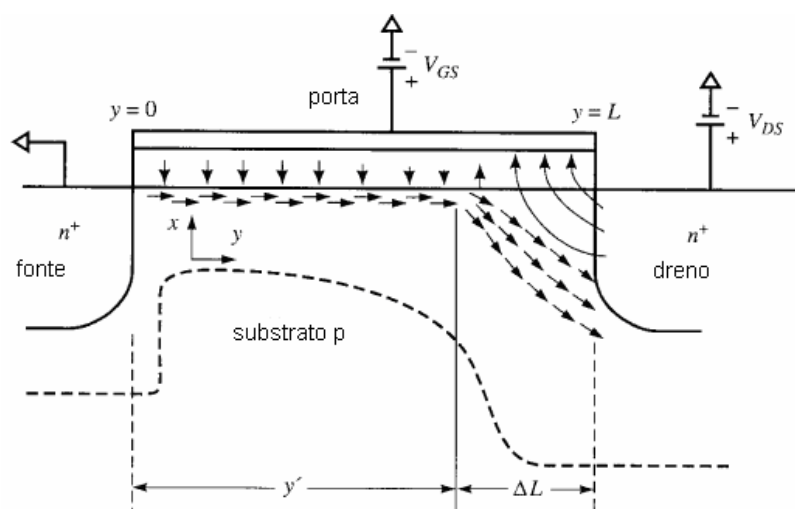


Figura 3-10 – Transistor NMOS em saturação.

A redução do comprimento do canal provoca uma variação da corrente de dreno  $I_D$  na região de saturação, que é modelada pelo termo  $I + \lambda \cdot V_D$ , de acordo com a Equação (3-17) (TSIVIDIS, 1999).

$$I_D = \frac{W}{2 \cdot L} \cdot KP \cdot (V_G - V_{TO})^2 \cdot (I + \lambda \cdot V_D) \quad (3-17)$$

O ponto de interseção do prolongamento da reta na região de saturação com o eixo das abscissas ( $I_D = 0$ ), como mostra a Figura 3-11, é chamado de Tensão Early ( $V_A$ ) (TSIVIDIS, 1999). O valor de  $\lambda$  é definido como o inverso da tensão de dreno  $V_D$  neste ponto ( $V_D = V_A$ ).

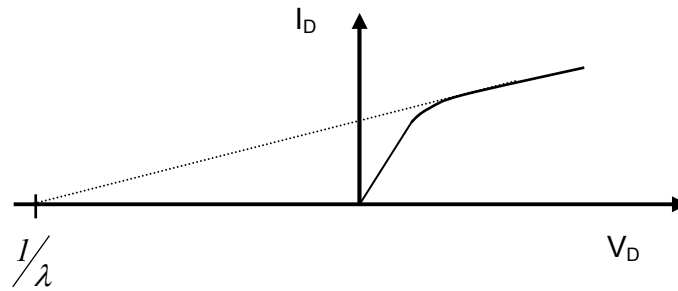


Figura 3-11 – Determinação de *LAMBDA*.

O parâmetro  $\lambda$  é calculado pelo programa de extração como a média dos valores de  $\frac{1}{V_A}$  para as curvas correspondentes a tensões de porta  $V_G$  próximas do valor máximo permitido para a tecnologia (3,3 V), onde este efeito é significativo.

A configuração da bancada de teste para a extração do parâmetro  $\lambda$  é mostrada na Figura 3-12

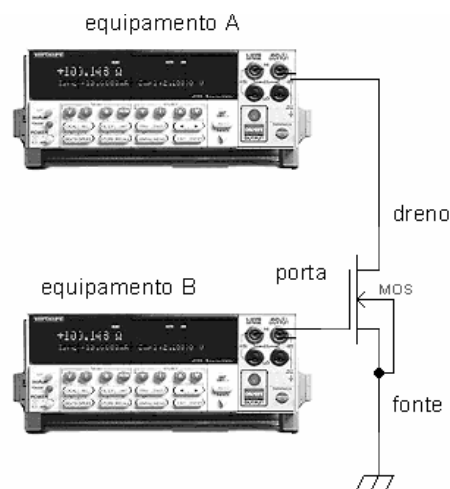


Figura 3-12 – Circuito utilizado na determinação de  $\lambda$ .

Neste circuito, a unidade A, conectada ao terminal dreno do transistor, é programada no modo de varredura de tensão e registra os valores da corrente de dreno para cada valor de tensão programado na unidade B, conectada no terminal de porta do dispositivo.

Com isso, é possível obter a variação da corrente de dreno  $I_D$  em função da tensão de dreno  $V_D$  para valores elevados de tensão de porta  $V_G$ .

A medida é realizada com o terminal fonte conectado à terra para evitar o efeito de corpo na medida.

A Figura 3-13 mostra um exemplo das curvas extraídas de um transistor de canal curto utilizadas pelo programa de extração na determinação de  $LAMBDA$ .

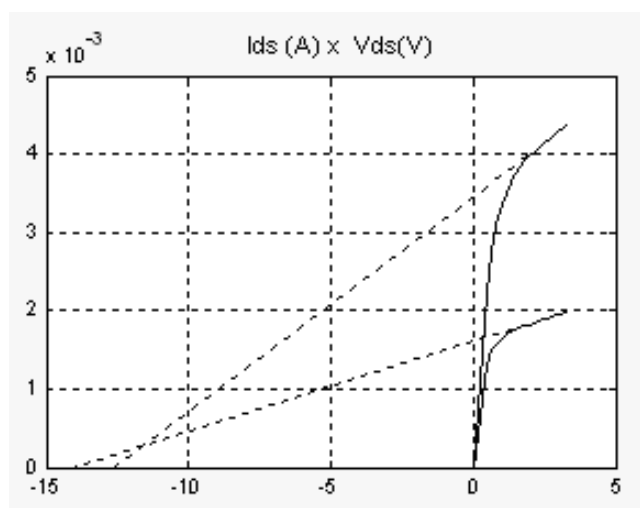


Figura 3-13 – Curvas do programa de extração para determinar  $\lambda$ .

### 3.2.3.6. Comprimento e largura efetivos do canal

Devido às tolerâncias inerentes ao processo de fabricação de circuitos integrados existe uma variação entre as dimensões especificadas no layout dos dispositivos e suas dimensões reais. Portanto, em benefício da precisão do modelo é necessário determinar as dimensões efetivas dos transistores. Os procedimentos de extração desses parâmetros são descritos a seguir.



- **Comprimento efetivo do canal**

Na extração do comprimento efetivo do canal são utilizados dispositivos de diferentes geometrias. É utilizado um transistor com canal largo e longo que permite desprezar as variações inerentes ao processo de fabricação. Para uma tecnologia CMOS 0,35  $\mu\text{m}$  dimensões superiores a 10  $\mu\text{m}$  podem ser consideradas isentas de correções nas dimensões do canal. Isto permite estabelecer que a razão entre largura e comprimento de canal definida no layout é igual à razão entre largura e comprimento efetivos de canal ( $W_{eff}/L_{eff}$ ) (WEIDONG *et al.*, 1999).

Um segundo dispositivo possuindo largura de canal igual ao primeiro e comprimento próximo do valor mínimo permitido pela tecnologia é utilizado para determinar a correção de canal curto. Neste caso, foi empregado um transistor com o comprimento mínimo de canal,  $L = 0,35 \mu\text{m}$ .

A configuração da bancada de medida para a extração do comprimento efetivo do canal dos transistores é mostrada na Figura 3-14.

No circuito a unidade A opera no modo de fonte de tensão fornecendo a tensão de polarização de dreno e medindo a corrente total  $I$  do circuito. Deste modo as correntes que circulam nos transistores serão proporcionais às suas dimensões.

Um segundo instrumento de medida, unidade B, é programado no modo amperímetro para medir a corrente  $I_2$  no transistor de canal curto.

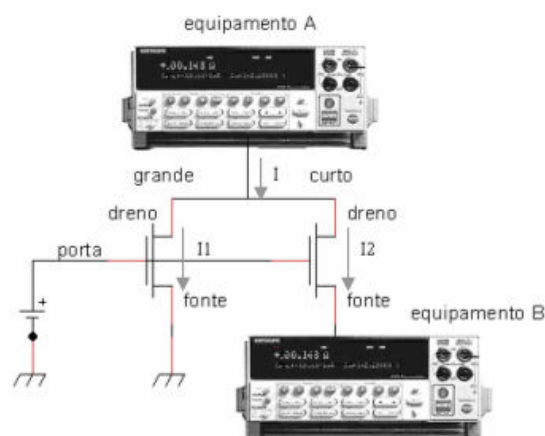


Figura 3-14 – Circuito de extração do comprimento efetivo do canal

Sabendo que as correntes  $I_1$  e  $I_2$  são proporcionais as razões de aspecto dos transistores,  $I_1/I_2 = (W_1/L_1)/(W_2/L_{eff})$  (WEIDONG *et al.*, 1999) é possível determinar o valor do comprimento efetivo do canal pela relação:

$$L_{eff} = \frac{L_1 \cdot I_2}{I_1 - I_2} \left| W_1 = W_2 \right. \quad (3-18)$$

O programa de extração de parâmetros calcula a média de dez medidas das correntes  $I_1$  e  $I_2$  para determinar o valor do comprimento efetivo do canal  $L_{eff}$ , pela Equação (3-18).

O valor da correção do comprimento do canal  $LD$  é obtido pela subtração do comprimento  $L$  definido no layout, pelo comprimento efetivo do canal  $L_{eff}$  calculado (BUCHER *et al.*, 1997):

$$LD = L - L_{eff} \quad (3-19)$$

- **Largura efetiva do canal**

O método usado para determinar a largura efetiva do canal é similar ao utilizado na extração do comprimento efetivo de canal. Neste caso, porém, são empregados dispositivos com canal estreito e longo, em substituição aos dispositivos de canal curto. Desta maneira o transistor fica sujeito apenas à correção de largura canal.

Empregando novamente a relação entre correntes e razões de aspecto dos transistores é possível determinar o valor da largura efetiva do canal através da expressão:

$$W_{eff} = \frac{W_1 \cdot I_2}{I_1} \left| L_1 = L_2 \right. \quad (3-20)$$

O valor da correção da largura do canal  $WD$  é determinado pela subtração da largura  $W$  definida no layout, pela largura efetiva do canal  $W_{eff}$  :

$$WD = W - W_{eff} \quad (3-21)$$

### 3.2.3.7. Efeito de canal curto e efeito de canal estreito

Estes efeitos ocorrem em dispositivos com pequenas dimensões de canal, nos quais o comprimento e largura do canal tornam-se comparáveis às regiões de depleção formadas pelos campos transversais e laterais. Estes fenômenos além provocarem variações na tensão de limiar  $V_{TO}$  afetam também o efeito de corpo  $\gamma$  (BUCHER *et al.*, 1996).

- **Efeito de canal curto**

Em dispositivos de canal largo e longo a tensão de limiar independe da tensão de dreno, já em dispositivos de canal largo e curto o aumento da tensão dreno causa a formação de uma região de depleção que se estende no interior do canal reduzindo seu comprimento efetivo. Esta redução dá origem a variações na tensão de limiar e aumenta a corrente de fuga do transistor. Este efeito é denominado *LETA* no modelo EKV (ENZ *et al.*, 1995).

Para determinar *LETA* é necessário utilizar a curva  $V_P \times V_G$  de um dispositivo de canal curto como mostrado na Figura 3-15.

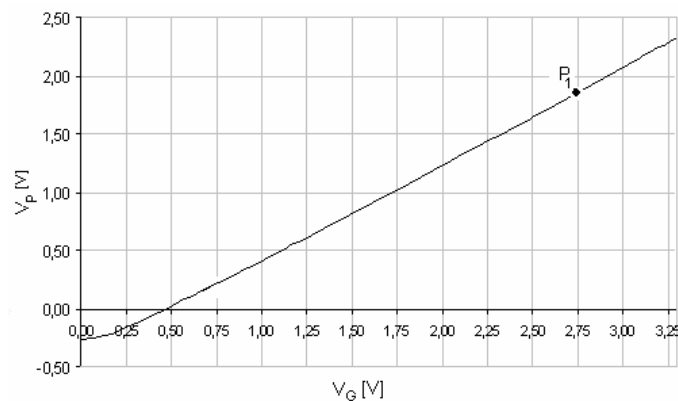


Figura 3-15 – Curva para extração de *LETA*

Assumindo os parâmetros  $GAMMA$  e  $PHI$  determinados, a expressão para o cálculo do efeito de canal curto  $LETA$  é obtida a partir da Equação (3-9) (BUCHER *et al.*, 1996), utilizando os valores de  $V_P$  e  $V_G$  de um ponto da curva para o qual  $V_G \gg V_{TO}$ .

Por se tratar de um dispositivo de canal largo onde o efeito de canal estreito é desprezível, o parâmetro  $WETA$  pode ser desconsiderado no cálculo.

O novo fator de corpo  $\gamma$  é calculado no mesmo ponto através da Equação (3-1).

Assim, o valor de  $LETA$  é obtido por:

$$\gamma = GAMMA - \frac{\epsilon_{SI}}{C_{OX}} \cdot \left( \frac{LETA}{L_{eff}} \cdot \sqrt{PHI + V_{G1}} + \frac{LETA}{L_{eff}} \cdot \sqrt{PHI + V_{P1}} \right) \quad (3-22)$$

Onde  $\epsilon_{SI}$  é a permissividade do silício e seu valor é  $0,104 \times 10^{-9} F/m$ .

- **Efeito de canal estreito**

Em relação à largura do canal a região de depleção é sempre mais larga, devido à existência de campos laterais. Este efeito se torna mais aparente quando a largura do canal diminui e a região de depleção formada pelos campos laterais se torna comparável à região de depleção formada pelo campo vertical. Esta região de depleção adicional resulta em um aumento da tensão de limiar com a diminuição da largura de canal (TSIVIDIS, 1999). Este efeito é denominado de  $WETA$  no modelo EKV.

Adotando o mesmo procedimento empregado na extração de  $LETA$  é possível determinar o parâmetro  $WETA$  utilizando um ponto da curva  $V_P$  x  $V_G$  de um transistor de canal largo e estreito.

O novo fator de corpo  $\gamma$  é calculado no mesmo ponto através da Equação (3-1).

Empregando a Equação (3-9) obtém-se:

$$\gamma = GAMMA - \frac{\epsilon_{SI}}{C_{OX}} \cdot \left[ \frac{LETA}{L_{eff}} \cdot \sqrt{PHI + V_{G1}} + \left( \frac{LETA}{L_{eff}} - 3 \cdot \frac{WETA}{L_{eff}} \right) \cdot \sqrt{PHI + V_{P1}} \right] \quad (3-23)$$

O programa de extração de parâmetros calcula  $WETA$  e  $LETA$  utilizando a função `so/ve` do programa MatLab.

Um exemplo da tela gerada pelo programa de extração de parâmetros com as curvas usadas e os resultados obtidos é mostrado na Figura 3-16.

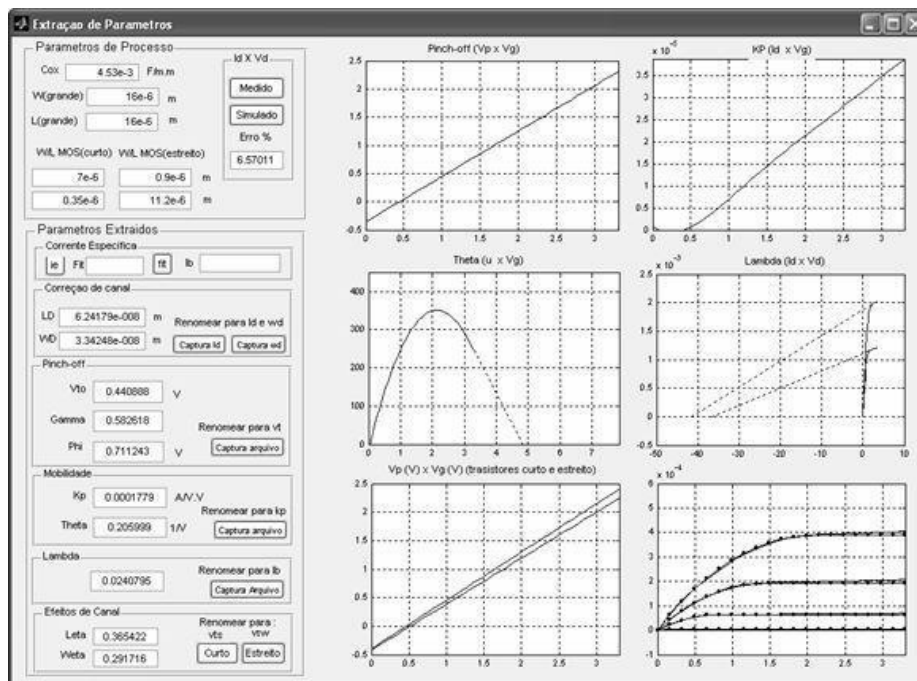


Figura 3-16 – Tela geral de resultados do programa de extração de parâmetros.

### 3.2.4. Análise dos Resultados da extração de parâmetros

As medidas efetuadas para a caracterização elétrica e as curvas simuladas empregando os parâmetros extraídos são apresentadas no Apêndice 1.

A análise das curvas características dos transistores mostrou que as variações máximas entre os valores medidos e os valores simulados, tanto para transistores convencionais quanto para os resistentes à radiação foram inferiores a 10 %. As Figuras 3-17 e 3-18 apresentam exemplos dessas curvas. Este percentual pode ser

considerado satisfatório se comparado ao percentual de variação de determinados parâmetros de processo da tecnologia  $0,35\mu m$ . Estas variações atingem em alguns casos valores superiores a 20 %.

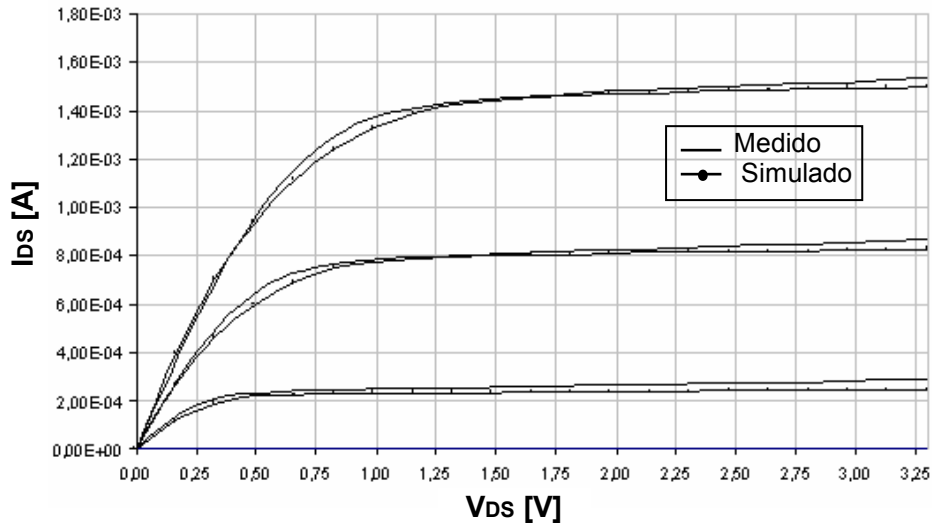


Figura 3-17 – Curvas medidas e simuladas de um transistor convencional

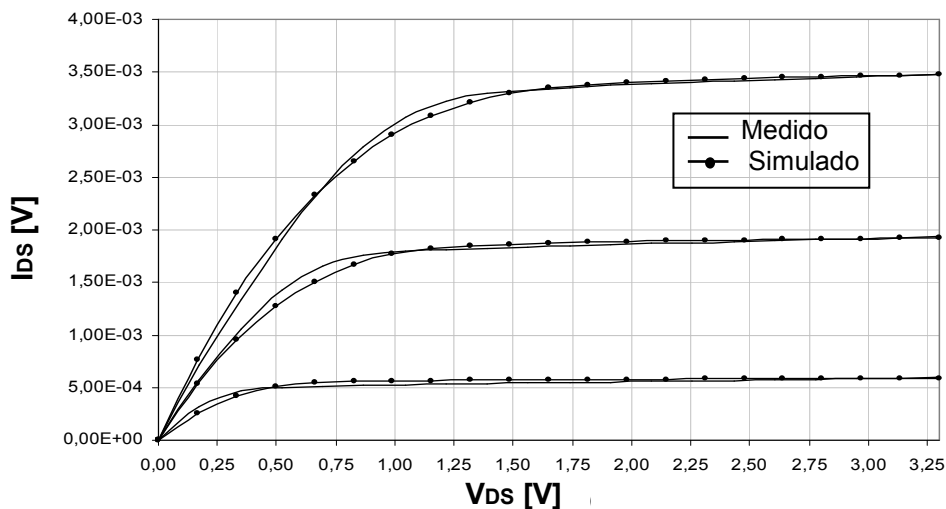


Figura 3-18 – Curvas medidas e simuladas de um transistor resistente à radiação

### 3.3. Testes de radiação

#### 3.3.1. Interação da radiação com a matéria

Diferentes tipos de radiação interagem de diferentes modos com a matéria, dependendo do tipo de material, da velocidade, da massa e carga da partícula incidente e do número atômico e densidade do material alvo. De modo geral estas

partículas podem ser divididas em dois grupos principais: partículas carregadas e partículas neutras (ANELLI, 2000; BOUDENOT & DALY, 1993; SCHWANK, 1994).

As partículas carregadas interagem com a matéria, principalmente, através de forças coulombianas de atração ou repulsão com os elétrons orbitais do material alvo. As partículas carregadas de interesse são os prótons, os íons pesados e os elétrons.

Os prótons dão origem aos seguintes fenômenos:

- Interação Coulomb - Pode induzir ionização ou excitação atômica, para prótons com energia inferior a  $100\text{KeV}$ .
- Colisões com o núcleo - Podem causar a excitação deles ou o seu deslocamento.
- Reação Nuclear - Acontece para energias de prótons superiores a  $1\text{MeV}$ .

Os íons pesados dão origem a fenômenos semelhantes aos induzidos pelos prótons.

Os elétrons que podem estar presentes no ambiente de radiação ou podem ser produzidos por interação de outras partículas com o material, podem interagir de duas maneiras:

- Interação Coulomb - Pode induzir, como no caso dos prótons, excitação atômica ou ionização.
- Espalhamento do núcleo - Pode causar deslocamento se a energia do elétron incidente for suficientemente alta e se essa energia for transferida para o núcleo.

As partículas neutras, essencialmente nêutrons e fótons diferem das partículas carregadas, pois não sofrem a ação da força Coulomb.

Dependendo do seu nível de energia, os nêutrons são divididos, em lentos ( $E < 1\text{eV}$ ), intermediários e rápidos ( $E < 1\text{KeV}$ ), e dão origem a três diferentes fenômenos de interação com o núcleo do átomo (ANELLI, 2000).

1. Reação nuclear – Ocorre quando o nêutron incidente é absorvido pelo núcleo do átomo, que em seguida emite outras partículas (prótons, partículas  $\alpha$  e fótons). Isso possibilita que uma fissão nuclear possa ocorrer.
2. Colisões elásticas – Este fenômeno ocorre quando o nêutron incidente colide com o núcleo do átomo e continua sua trajetória. Se a energia absorvida pelo núcleo for suficiente, pode ocorrer deslocamento do núcleo causando sua ionização.
3. Colisões inelásticas – Este fenômeno é similar ao anterior, porém neste caso há excitação do núcleo que diminui posteriormente emitindo raios gama. A probabilidade relativa da ocorrência desse fenômeno depende fortemente da energia do nêutron. Nêutrons lentos de baixa energia dão origem, principalmente a reações nucleares e colisões elásticas. Nêutrons rápidos dão origem, principalmente a colisões elásticas. Nos casos de alta energia predominam as colisões inelásticas.

Os fótons interagem com a matéria de três maneiras diferentes:

1. Efeito fotoelétrico – ocorre quando um fóton incide em um átomo transferindo sua energia a um único elétron orbital fazendo com que ele seja ejetado. Quando um elétron é emitido, outro elétron de uma órbita próxima pode ocupar o seu lugar, causando a emissão de um fóton de baixa energia.
2. Efeito Compton – Ocorre quando um fóton incide sobre um elétron periférico dos átomos do absorvedor. O fóton e o elétron são espalhados. A energia do fóton incidente é dividida entre os dois produtos da interação.
3. Produção de pares – A produção de pares ocorre quando fótons com energia maior ou igual a 1,02 MeV passam próximos a núcleos de número atômico elevado. A radiação incidente interage com o núcleo transformando-se em duas partículas, o par elétron-pósitron.

Os diversos tipos de interação e seus efeitos são mostrados esquematicamente na Figura 3-19.



No caso específico do silício os fótons com energia em torno de  $10\text{KeV}$  (raios X), interagem principalmente por efeito fotoelétrico. Os fótons emitidos por raios gama, provenientes de uma fonte de  $\text{CO}^{60}$ , cuja energia é superior a  $1,02\text{ MeV}$  ( $1,25\text{ MeV}$ ), interagem principalmente através da produção de pares elétron-buraco (ANELLI, 2000).

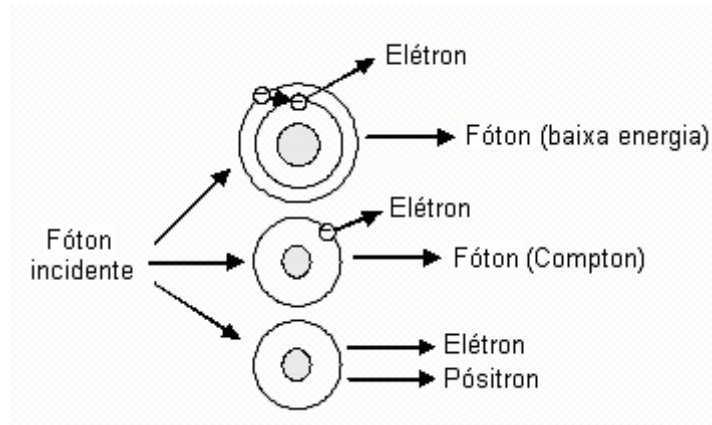


Figura 3-19 – Efeitos do fóton na matéria

Em resumo, os efeitos causados por partículas carregadas e partículas neutras, podem ser agrupados em dois tipos, efeitos de ionização e efeitos de deslocamento nuclear. Estes fenômenos podem ser causados diretamente pela partícula incidente ou por efeitos secundários induzidos por elas, os quais representam a grande maioria dos fenômenos observados em materiais irradiados. Dependendo da partícula incidente eles podem causar diferentes efeitos. Os nêutrons, por exemplo, são responsáveis principalmente, pelo deslocamento nuclear ao passo que os fótons e elétrons dão origem a efeitos de ionização (ANELLI, 2000).

A ionização em materiais isolantes ou semicondutores promove a criação de pares elétron-buraco. O número de pares criados é proporcional à quantidade de energia depositada no material, que é expressa através da dose total acumulada. Por essa razão, o estudo dos efeitos da ionização no material, desconsidera o tipo de partícula usada durante os testes de irradiação, levando em conta somente a quantidade de energia depositada no material (ANELLI, 2000).

O deslocamento nuclear dá origem aos chamados pares de Frenkel. No dióxido de silício, à temperatura ambiente, esses pares se recombinam, quase que totalmente, dentro de instantes após o fim da irradiação. Os transistores MOS são dispositivos cujo funcionamento é baseado no fluxo de portadores majoritários na interface  $\text{SiO}_2\text{-Si}$  como é mostrado na Figura 3-20. Como esta região não se estende profundamente no substrato os transistores são praticamente insensíveis ao deslocamento nuclear cujo maior efeito é a redução do tempo de vida dos portadores minoritários no substrato (ANELLI, 2000) .

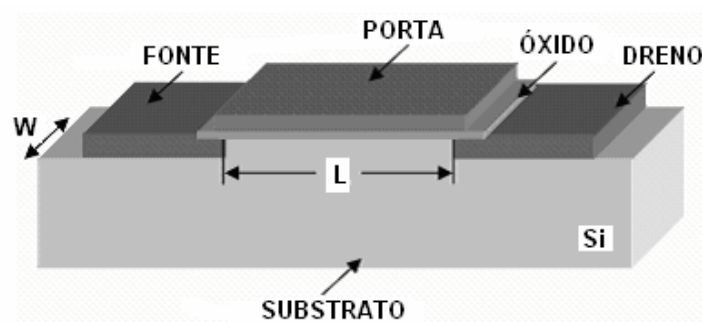


Figura 3-20 – Estrutura simplificada de um transistor MOS

### 3.3.2. Efeitos da radiação nos transistores MOS

Conclui-se da discussão anterior que o transistor MOS é mais sensível aos efeitos da ionização do que ao deslocamento nuclear sendo o dióxido de silício a parte de sua estrutura mais sensível à radiação. Quando um transistor MOS é atravessado por uma partícula ionizada ocorre a formação de pares elétron-buraco (Figura 3-21). Na região de porta, ou polissilício, e no substrato, que são materiais de baixa resistência, esses pares rapidamente desaparecem. Ao contrário, no óxido, que é isolante, elétrons e buracos tem comportamentos diferentes, pois suas mobilidades diferem em até 12 ordens de grandeza (ANELLI, 2000).

Uma fração dos pares elétron-buraco criados no óxido se recombina imediatamente. Os pares que não se recombinaram são separados no óxido pelos campos elétricos produzidos, por exemplo, pelas polarizações positivas de porta, fazendo com que os elétrons se desloquem rapidamente para essas regiões enquanto

os buracos são lentamente direcionados para a interface SiO<sub>2</sub>/Si-sub. Alguns desses buracos próximos da interface são aprisionados dando origem à formação de cargas fixas no óxido (ANELLI, 2000).

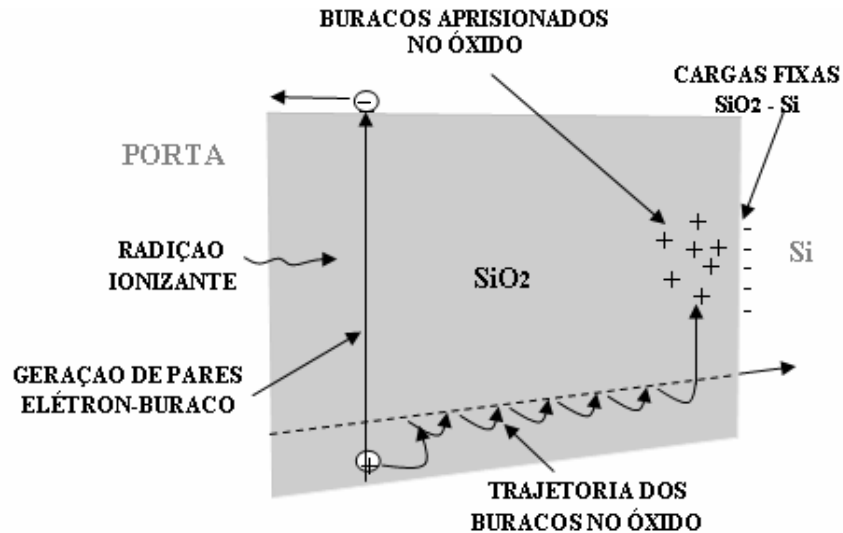


Figura 3-21 – Efeito da radiação ionizante no transistor MOS.

### 3.3.2.1. Geração de cargas no dióxido de silício SiO<sub>2</sub>

Como foi mencionado antes, a mobilidade dos elétrons no dióxido de silício é muito maior que a dos buracos. Na temperatura ambiente a mobilidade típica dos elétrons no óxido é de  $20 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$  enquanto a mobilidade dos buracos é de  $10^{-4} \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ . Isto demonstra que para uma espessura de óxido de  $10 \text{ nm}$  e um campo elétrico de  $10^6 \text{ V/cm}$ , por exemplo, os elétrons que não se recombinaram imediatamente com buracos, são eliminados do óxido em frações de picosegundos. Por essa razão, e porque a proporção entre buracos e elétrons aprisionados na interface do óxido é de cerca de 3 a 6 ordens de grandeza, somente o número de buracos não aprisionados é considerado no cálculo da recombinação (ANELLI, 2000).

Para calcular o número de pares elétron-buraco gerados é necessário conhecer o valor total da energia depositada no material pela radiação incidente. Esse valor é dado pelo fator de Transferência Linear de Energia (LET) para partículas carregadas e pelo Coeficiente de Absorção para fótons. O LET depende da natureza e da energia

das partículas incidentes e da absorção do material e expresso por (ANELLI, 2000; SCHWANK, 1994; MA & DRESSENDORFER, 1989):

$$LET = \frac{1}{\rho} \frac{dE}{dx} \quad (3-25)$$

Onde  $\rho$  é a massa por unidade de volume expressa em  $Kg/m^3$  e  $dE/dx$  é média da energia transferida para o material por unidade de comprimento. O LET é medido em  $J \cdot m^2 \cdot Kg^{-1}$  ou de forma equivalente em  $MeV \cdot cm^2 \cdot mg^{-1}$ . Conhecidos os valores do coeficiente de absorção e da energia total depositada, o número de pares elétron-buraco gerados é calculado pela divisão da energia total pela energia necessária para gerar um par elétron-buraco que, no caso do silício, é igual a  $17 \pm 1 eV$ .

Assim, em fração de picosegundos após sua geração há uma recombinação parcial dos pares elétron-buraco. A taxa de recombinação depende do valor da LET da radiação incidente e do campo elétrico perpendicular à interface  $SiO_2$ -Si aplicado. No caso de fótons emitidos por uma fonte de  $Co^{60}$ , o percentual de recombinação pode atingir 70% ficando aprisionados no óxido somente 30% dos pares elétron-buraco gerados (ANELLI, 2000; BOESCH, 1989; MA & DRESSENDORFER, 1989).

### 3.3.2.2. Geração de cargas positivas no $SiO_2$

No caso de transistores quando os buracos produzidos pela radiação atravessam completamente o óxido, eles podem ser aprisionados tanto na interface  $SiO_2$ -Si quanto na interface porta- $SiO_2$  (porta-óxido). Este fenômeno predomina sobre outros fenômenos provocados pela radiação, como por exemplo, a captura de elétrons no dióxido de silício. Como será visto mais adiante, buracos aprisionados no óxido produzem uma variação negativa da tensão de limiar ( $\Delta V_{ox}$ ) que não é sentida no potencial de superfície do silício e pode permanecer por um período de tempo variando de milissegundos a anos (ANELLI, 2000).

A quantidade de cargas aprisionadas é proporcional ao número de defeitos no dióxido de silício. Por essa razão, um dos cuidados fundamentais no processo de fabricação é o controle minucioso da qualidade do óxido de porta dos dispositivos (ANELLI, 2000; MA & DRESSENDORFER, 1989).

### 3.3.3. Efeitos da radiação nos parâmetros elétricos dos transistores MOS

Nesta seção são apresentadas as conseqüências do aprisionamento de buracos no óxido e da geração de cargas fixas nas interfaces, nos parâmetros elétricos dos transistores MOS especificamente a tensão de limiar  $V_{TO}$ , a corrente de sublimiar, a corrente de fuga e a mobilidade dos portadores.

#### 3.3.3.1. Deslocamento da tensão de limiar

A tensão de limiar de um transistor MOS sofre alteração quando o dispositivo é irradiado. Essa variação  $\Delta V_{TO}$  é composta de duas parcelas,  $\Delta V_{OX}$  e  $\Delta V_{it}$ , que se referem aos buracos capturados no dióxido de silício e à geração de interfaces de aprisionamento de cargas na fronteira SiO<sub>2</sub>-Si, respectivamente (ANELLI, 2000).

- **Deslocamento de  $V_{TO}$  devido ao aprisionamento de buracos no óxido**

As cargas aprisionadas no óxido provocam um deslocamento na tensão de limiar dada por (ANELLI, 2000; MULLER & KAMINS, 1986):

$$\Delta V_{OX} = -\frac{1}{C_{OX}} \int_0^{t_{ox}} \frac{x}{t_{OX}} \rho(x) dx \quad (3-26)$$

Onde  $t_{OX}$  é a espessura do óxido,  $C_{OX}$  é a capacitância por unidade de área e  $\rho(x)$  é a distribuição de cargas por unidade de volume em função da distância  $x$  do óxido de porta à interface. Observa-se inicialmente na Equação (3-26) que o deslocamento da tensão de limiar é negativo quando a carga é positiva. Isso pode ser entendido mais facilmente no caso dos transistores de canal p onde cargas positivas aprisionadas no óxido repelem os buracos no canal. Desta forma, para restabelecer a

mesma condição de inversão será necessário aplicar um potencial mais negativo na porta do transistor, isto é, a tensão de limiar diminuirá (aumentará em valor absoluto). Outra observação importante é a dependência do deslocamento da tensão de limiar em relação à posição das cargas no óxido; cargas muito próximas à interface SiO<sub>2</sub>-Si causarão maior deslocamento. Como consequência o deslocamento  $\Delta V_{ox}$  é maior para distribuições de cargas muito próximas à interface SiO<sub>2</sub>-Si (ANELLI, 2000; BÖTTCHER, 1996; MA & DRESSENDORFER, 1989).

- **Deslocamento de  $V_{TO}$  devido à geração de interfaces de aprisionamento**

A componente de deslocamento da tensão de limiar associada à geração de interfaces de aprisionamento de cargas na região SiO<sub>2</sub>-Si é chamada  $\Delta V_{it}$ . Considerando a distribuição de cargas uniforme o valor de  $\Delta V_{it}$  pode ser expresso como (ANELLI, 2000; BÖTTCHER, 1989; MA & DRESSENDORFER, 1989):

$$\Delta V_{it} = \frac{-\Delta Q_{it}}{C_{ox}} \quad (3-27)$$

Onde  $\Delta Q_{it}$  é a diferença de carga por unidade de área na interface antes e depois da irradiação podendo assumir valores negativos ou positivos.

A variação da tensão de limiar dos transistores MOS é considerada o parâmetro mais importante na análise dos efeitos da radiação nestes dispositivos. Esta variação é proporcional à dose de radiação e pode ser considerada, aproximadamente, linear. Esta característica possibilitou o desenvolvimento de projetos de dosímetros digitais (Figura 3-22) (BRIERE *et al.*, 2006) utilizando o transistor MOS como elemento sensor. Atualmente estes instrumentos possuem diversas aplicações, entre elas, destacam-se as aplicações médicas.



Figura 3-22 – Dosímetro digital utilizando transistores MOS.

### 3.3.3.2. Aumento da corrente de sublimiar e correntes parasitas

Um transistor NMOS é considerado em estado “aberto” (*off state*) quando a tensão de porta é igual a zero. A corrente que flui entre os terminais de dreno e a fonte, nesta condição, é descrita como sendo a corrente de fuga do dispositivo.

Quando um transistor de NMOS é irradiado dois efeitos predominam no aumento da corrente de fuga. Um deles é o aumento da corrente de sublimiar e o outro é o surgimento de correntes parasitas (ANELLI, 2000; BÖTTCHER, 1996; MA & DRESSENDORFER, 1989).

- **Aumento da corrente de sublimiar**

O aumento de corrente de sublimiar está associado a dois fatores, ilustrados na Figura 3-24, onde  $I_D$  é corrente de dreno e  $V_G$  é a tensão de porta. O primeiro é a queda da tensão de limiar  $V_{T0}$ . Este efeito é ilustrado na figura através do deslocamento da tensão de limiar do valor  $V_{T1}$  na curva sólida para o valor  $V_{T2}$  na curva pontilhada que representam, respectivamente, o comportamento do dispositivo antes e depois da irradiação.

O segundo efeito induzido pela radiação é a redução da inclinação da curva de sublimiar devido à recombinação após a exposição. Este efeito é responsável pelo deslocamento da curva correspondente ao dispositivo irradiado na Figura 3-23 para a posição da curva tracejada. A corrente de sublimiar que possuía o valor  $I_l$  antes da

irradiação passa a ter o valor  $I_2$  devido ao deslocamento da tensão de limiar para finalmente assumir o valor  $I_3$  em decorrência da diminuição da inclinação da curva de sublimiar (ANELLI, 2000).

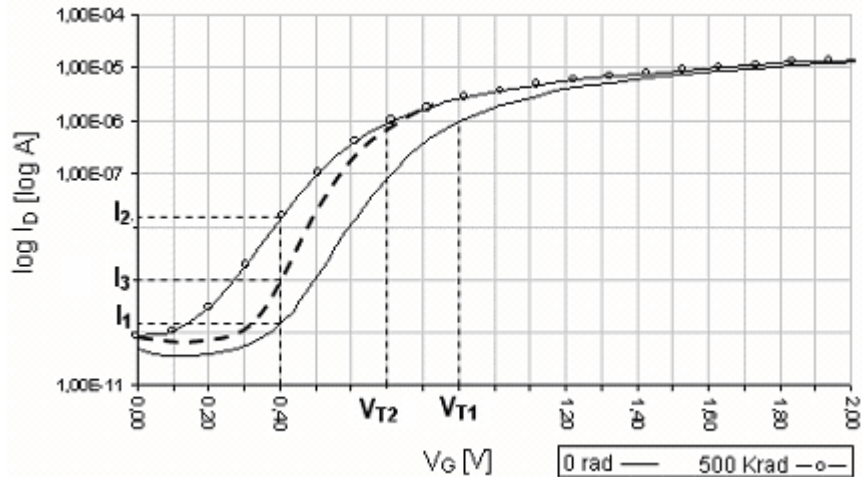


Figura 3-23 - Aumento da corrente de sublimiar

Para tecnologias em que o óxido de porta é relativamente espesso ( $> 10\text{nm}$ ), a radiação pode induzir um deslocamento negativo na tensão de limiar. Nestes casos, a principal contribuição para o deslocamento é dada pelo aprisionamento de buracos no óxido. Para tecnologias chamadas de *submicron* ( $0,35\mu\text{m}$ , por exemplo), onde a espessura do óxido de porta é menor  $10\text{nm}$ , essa contribuição torna-se muito pequena. Isto se deve ao fato de que o volume para a captura de cargas é menor. Portanto torna-se difícil, neste caso, prever com exatidão qual a intensidade do efeito da radiação no deslocamento da tensão de limiar, principalmente, em dispositivos de canal n. Nos quais, por exemplo, um deslocamento positivo da tensão de sublimiar pode ser compensado pela diminuição da inclinação da curva, fazendo com que a corrente de sublimiar não tenha um aumento relevante após a irradiação (ANELLI, 2000; MA & DRESSENDORFER, 1989).



- **Aumento das correntes parasitas**

Outra contribuição da radiação na corrente de fuga dos transistores MOS está associada à criação de caminhos parasitas na extremidade do canal onde há a transição do óxido de porta para o óxido de campo (FOX), chamada “bico de passarinho” (Figura 3-24). Nesta região o campo elétrico produzido pelas cargas acumuladas no óxido de campo é intensificado pelo efeito de ponta do bico de passarinho criando canais parasitas entre dreno e fonte. Nas tecnologias em que o comprimento mínimo do canal varia entre  $0,25\mu m$  e  $0,7\mu m$ , a contribuição das correntes parasitas, representadas pelos transistores parasitas da Figura 3-24, para o valor da corrente de fuga pode ser comparada à corrente de sublimiar (ANELLI, 2000).

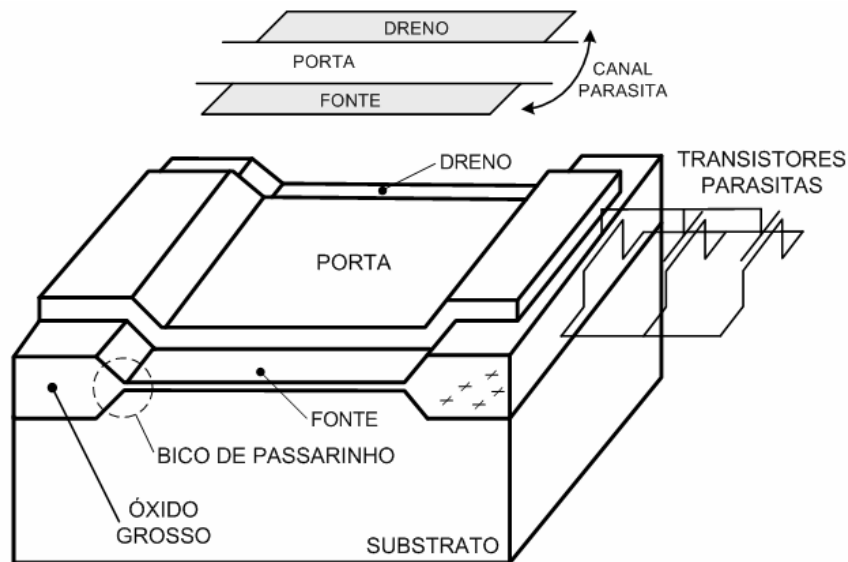


Figura 3-24 - Aumento das correntes parasitas

O transistor parasita pode ser representado por uma série de transistores em paralelo com largura  $\Delta W$  (largura do canal) e comprimento aproximadamente igual ao do transistor principal, porém com a espessura do óxido de porta aumentada. Devido à maior espessura do óxido de porta o valor da capacitância de porta dos transistores parasitas diminui e a tensão de limiar, que varia com o inverso da capacitância de porta, aumenta reduzindo a corrente de dreno do transistor original.

A tensão de limiar dos transistores parasitas pode ser da ordem de volts e não tem efeito acentuado nas tecnologias submicron. Entretanto nas tecnologias com óxido de porta espesso essa tensão pode atingir valores comparáveis à tensão de limiar do transistor original.

Essa situação é ilustrada na Figura 3-25 onde é representado o comportamento da corrente nos transistores parasitas em função da espessura do óxido de porta (ANELLI, 2000).

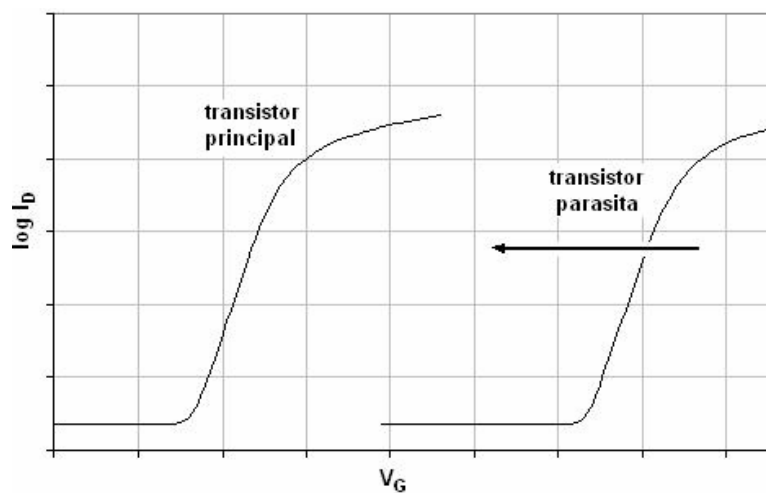


Figura 3-25 – Comportamento da tensão de limiar nos transistores parasitas com o aumento da espessura do óxido de porta.

### 3.3.3.3. Redução da mobilidade

A degradação da mobilidade dos portadores após a irradiação é essencialmente, devida ao aumento das interfaces de aprisionamento de cargas, uma vez que, a condução nos transistores MOS é dada pelo fluxo de portadores na interface óxido de porta-substrato.

A variação da mobilidade como função do aumento da interface de aprisionamento de cargas pode ser expressa, empiricamente, por (GIRALDO, 1998):

$$\mu = \frac{\mu_0}{1 + \theta \cdot (\Delta N_{it})} \quad (3-28)$$

Onde  $\mu_0$  é a mobilidade antes da irradiação,  $\Delta N_{it}$  está associado ao aumento das interfaces de aprisionamento de cargas e  $\theta$  é o coeficiente de redução de mobilidade que depende da tecnologia.

A Equação (3-26) também pode ser usada como um outro método para calcular  $\Delta V_{it}$  a partir da redução da mobilidade.

A atenuação gradual da mobilidade dos transistores, provocada pela radiação é responsável também pela degradação da transcondutância ou fator de ganho  $KP$  do transistor que é proporcional ao parâmetro  $\mu$ . Esse efeito resulta, principalmente, na redução da capacidade de corrente do dispositivo (ANELLI, 2000).

#### **3.3.4. Testes de radiação**

Os testes de radiação realizados nos transistores do protótipo de teste do imageador APS foram conduzidos com base nos métodos especificados pelas normas da Agência Espacial Européia (ESA) (ESA, 1993; ESA, 2003).

Segundo essas normas é muito difícil estabelecer uma teoria que permita prever os efeitos resultantes da exposição à radiação em semicondutores, tendo em vista a alta variação da sensibilidade desses dispositivos quando irradiados. Sendo assim, na grande maioria casos, torna-se necessária à aplicação dos testes de radiação em cada rodada de fabricação. Portanto, o principal propósito da norma é fornecer suporte para a elaboração de um programa de testes adequado a cada circunstância o que envolve, a determinação da fonte de radiação a ser utilizada, os tipos de medidas serem realizadas e os procedimentos de medição apropriados.

Para permitir uma análise comparativa da sensibilidade à radiação entre duas tecnologias que envolvam diferentes espessuras de óxido de porta, além dos testes com o protótipo desenvolvido em tecnologia  $0,35\mu m$ , foram realizados também testes de radiação utilizando amostras de circuitos integrados APS fabricados em tecnologia  $0,6\mu m$ .

### 3.3.4.1. Fonte de Radiação

A norma define o Cobalto-60 como sendo a fonte de radiação mais apropriada e a mais comumente utilizada nas caracterizações dos efeitos da radiação ionizante em componentes de silício. O  $CO^{60}$  é obtido a partir do cobalto-59, forma inativa do elemento encontrada na natureza, através da irradiação de nêutrons pesados em um reator. É capaz de emitir fótons cuja energia varia entre 1,17 a 1,33 MeV com meia-vida 5,27 anos.

Em um irradiador típico o cobalto-60, em formato cilíndrico, é selado em uma jaqueta de aço e colocado em um espesso condutor blindado ou em uma célula de concreto. São utilizados, principalmente, em irradiação industrial, radioterapia e em pesquisas biológicas.

Existem vários tipos de câmaras de irradiação capazes de promover ionização devido ao raio gama, apropriadas para o uso em simulações dos efeitos observados no espaço resultantes da penetração de elétrons e fótons nos materiais (ESA, 1993).

A Figura 3-26 apresenta um modelo de câmara de  $CO^{60}$ , em destaque o compartimento de instalação de amostras, bastante similar à câmara empregada nos testes de radiação do protótipo teste APS, instalada no Laboratório de Instrumentação Nuclear (LIM) da COPPE-UFRJ.

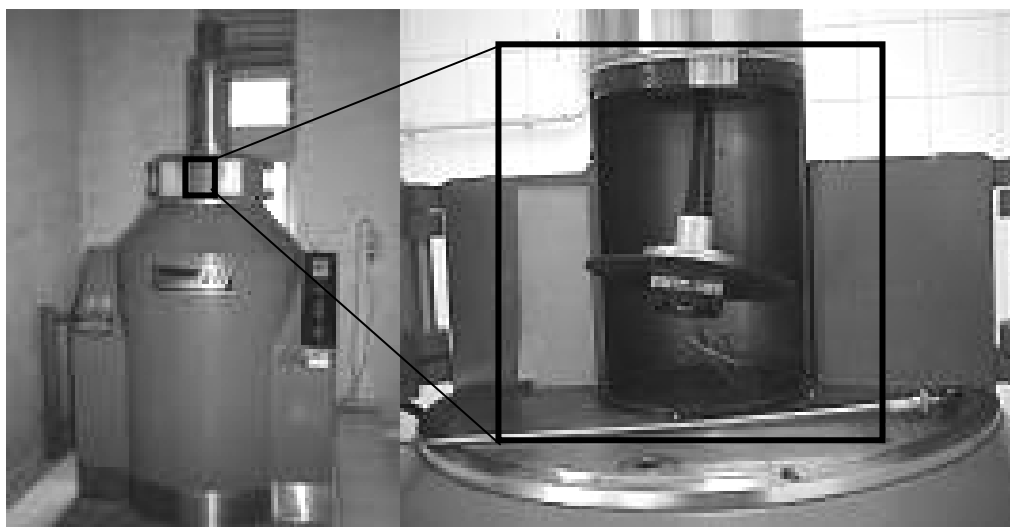


Figura 3-26 – Câmara de  $CO^{60}$

A câmara suporta um razoável número de amostras de componentes eletrônicos instalados em soquetes ou em placas de circuito impresso, os quais são aproximados da fonte de radiação, através de um mecanismo eletro-mecânico temporizado, e as respostas à exposição podem ser monitoradas continuamente.

A taxa de radiação atual da câmara é de aproximadamente 5,3 Krad/min.

### 3.3.4.2. Dose de radiação

A dose de radiação acumulada é proporcional à distância da fonte e ao tempo de exposição. Dada uma célula de um metro de comprimento, por exemplo, (Figura 3-27) sua dose pode variar entre  $10^5 \text{ rad/h}$  e  $24 \text{ rad/h}$ . Sendo que a taxa de  $100 \text{ rad/h}$ , é mais do que 30 vezes superior à dose típica encontrada no espaço (em uma órbita de alta radiação o nível pode atingir em média  $2 \times 10^5 \text{ rad}$  em 10 anos ou cerca de  $3 \text{ rad/h}$ ). Alternativamente, fontes de baixa atividade também podem ser utilizadas com distancias mais curtas (ESA, 2003).

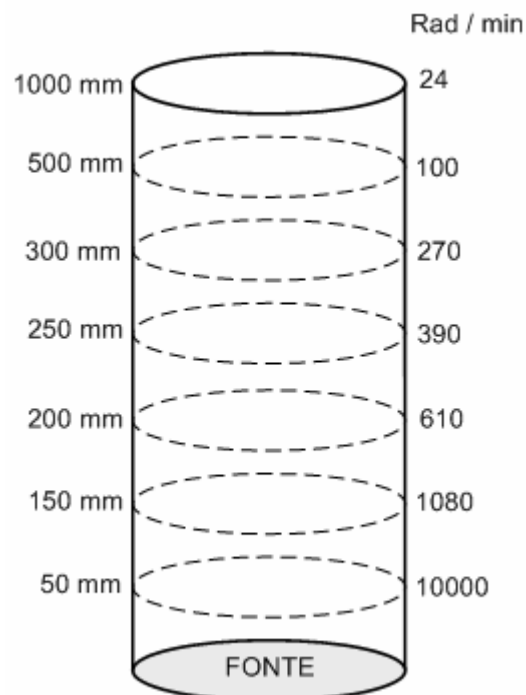


Figura 3-27 – Doses típicas de radiação

De acordo com a especificação de projeto o circuito integrado APS deverá operar em órbita baixa. Neste caso, conforme estabelece a norma, a dose de radiação de 500 Krad, nível G da Tabela 3-3 (ESA, 2003) é o mais adequado equivalendo a um período de 25 anos em órbita.

Tabela 3-3 – Doses de radiação

Nível	Rad
A	3k
B	10k
C	20k
D	50k
E	100k
F	300k
G	500k
H	1000k

#### 3.3.4.3. Procedimentos de teste

Os procedimentos adotados no teste de radiação são definidos pela norma da ESA (ESA, 1993; ESA, 2003) por procedimentos de “Teste Remoto”. Isto é, procedimentos empregados quando existe necessidade do traslado da amostra irradiada do local de irradiação para o laboratório onde serão efetuadas as medidas pós-irradiação.

- **Teste remoto**

No modo remoto, segundo a norma, os principais requisitos a serem observados são: o período de tempo máximo entre o término da exposição e a realização das medidas elétricas, que deve ser de uma hora, e o intervalo de tempo entre exposições, que não deve ultrapassar duas horas, como mostra o diagrama da Figura 3-28.

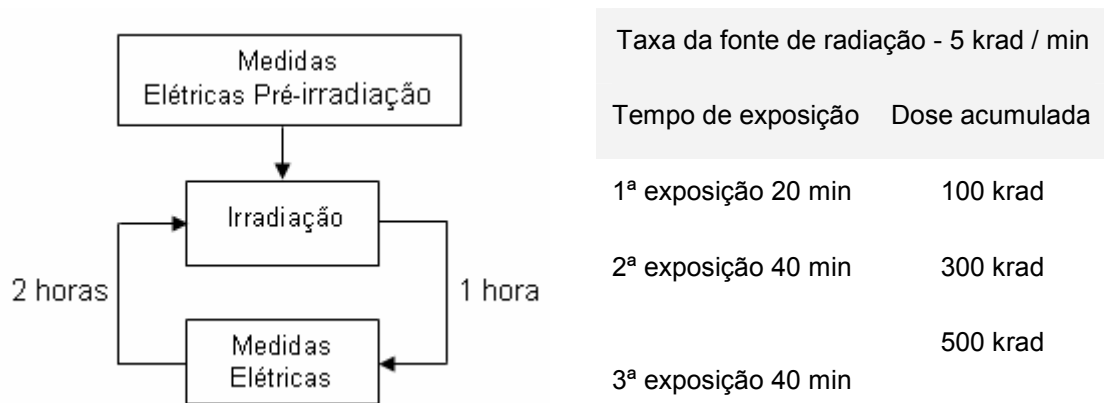


Figura 3-28 – Diagrama de teste de radiação e tempo de exposição

Os dispositivos sob teste devem ser originários do mesmo fornecedor, da mesma planta de fabricação e da mesma linha de produção. As amostras devem ser escolhidas aleatoriamente e em seguida submetidas à radiação.

#### 3.3.4.4. Medidas elétricas

Para realização das medidas elétricas dos transistores foi utilizado o mesmo sistema de medidas montado para a caracterização elétrica descrito na seção 3.2 e ilustrado na Figura 3-2.

Conforme já descrito a mobilidade, a corrente de fuga e, principalmente, a tensão de limiar são os parâmetros elétricos dos transistores MOS que mais sofrem influencia da radiação. Portanto, estes parâmetros são adotados como referencia na análise dos efeitos da radiação nestes dispositivos. Sendo assim, as medidas elétricas realizadas nos testes foram configuradas especificamente com o propósito de verificar a variação desses parâmetros.

É importante ressaltar que em todas as medidas realizadas nos testes os terminais fonte dos dispositivos foram aterrados juntamente com o substrato, a fim de evitar interferências nas medidas que possam ser atribuídas ao efeito de corpo dos transistores descrito na seção 3.2.3.3.

- **Tensão de limiar e corrente de fuga**

Para verificar a variação da tensão de limiar e da corrente de fuga são extraídos os valores da corrente de dreno  $I_D$  em função da tensão de porta  $V_G$  do dispositivo. Como mostrado na Figura 3-38, para se ter melhor resolução dos valores de corrente na região de sublimiar foi plotado no eixo das coordenadas o logaritmo da corrente de dreno  $I_D$ .

O circuito utilizado na extração da curva  $I_D \times V_G$  bem como os procedimentos empregados são mesmos descritos na seção 3.2.

- **Mobilidade**

O efeito da degradação da mobilidade dos transistores devido à radiação ionizante contribui diretamente para a redução do parâmetro de transcondutância ou fator de ganho ( $KP = \mu_0 \cdot C_{OX}$ ). Portanto para verificar este efeito foi usada a curva  $I_D \times V_G$  do dispositivo operando na região linear, através da redução do coeficiente angular da região de máxima inclinação.

### 3.3.5. Análise dos resultados dos testes de radiação

Os testes realizados com a tecnologia  $0,6 \mu m$  revelaram uma variação significativa da tensão de limiar  $V_{TO}$  dos dispositivos irradiados, aproximadamente 30 % no pior caso, como mostra a Figura 3-29.



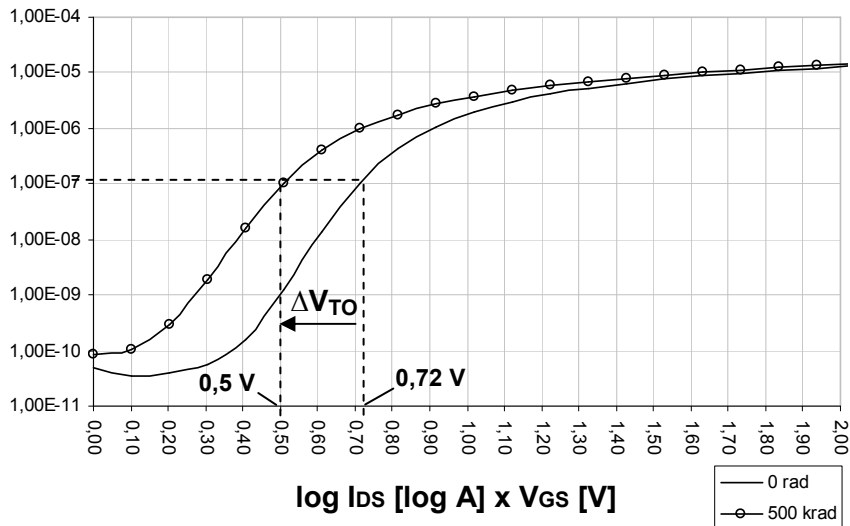


Figura 3-29 – Tensão de limiar e corrente de fuga de um transistor convencional em tecnologia  $0,6 \mu m$

De acordo com a Figura 3-29 houve um aumento da corrente de fuga dos dispositivos, porém os valores permaneceram na ordem de  $10^{-10} A$ , ou seja, variação que pode ser desconsiderada.

A mobilidade dos transistores não sofreu variação significativa, pois as curvas permaneceram praticamente paralelas ao longo de toda região de máxima inclinação, como mostra a Figura 3-30.

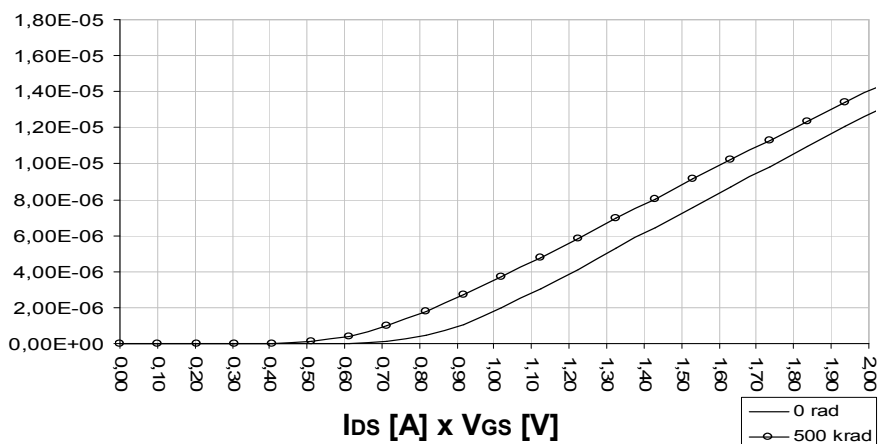


Figura 3-30 – Máxima inclinação de  $I_{DS} \times V_{GS}$  de um transistor convencional em tecnologia  $0,6 \mu m$

Estes resultados permitem concluir que para a tecnologia  $0,6 \mu m$  a tensão de limiar foi o parâmetro que efetivamente sofreu variação significativa após a irradiação.

Este fato verifica na prática a razão pela qual a tensão de limiar é o principal parâmetro utilizado para medir o efeito da radiação em transistores MOS.

As análises das curvas características dos transistores convencionais e dos transistores resistentes à radiação em tecnologia  $0,35\mu m$ , apresentadas nas Figuras 3-31 e 3-32, respectivamente, mostraram que para a dose de radiação de 500 Krad não houve variação significativa nos parâmetros das amostras. Este fato é atribuído à menor espessura de óxido de silício e conseqüente redução do volume no qual ocorre o aprisionamento de cargas. Isto atenua, significativamente, o efeito da radiação ionizante nestes dispositivos, principalmente, na tensão de limiar.

Os resultados obtidos no teste de radiação permitem concluir que a tecnologia  $0,35\mu m$  comercial, devido às suas características de construção, é naturalmente tolerante ao nível de radiação aplicado dispensando o emprego de estruturas especiais de proteção.

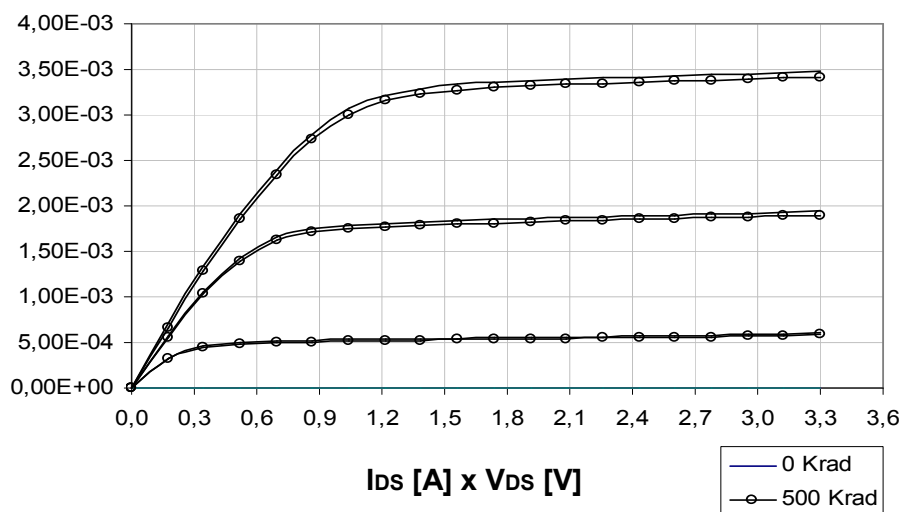


Figura 3-31 – Curvas de um transistor convencional em tecnologia  $0,35\mu m$

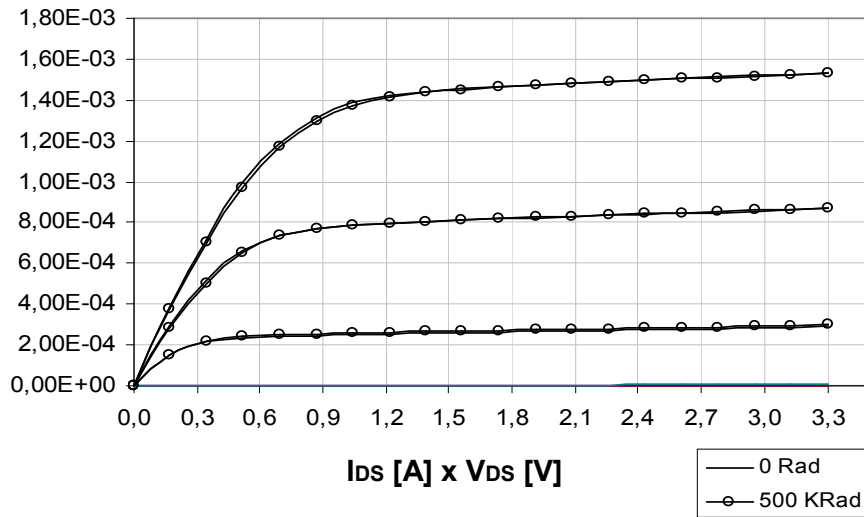


Figura 3-32 – Curvas de um transistor resistente em tecnologia  $0,35 \mu m$

As curvas obtidas no teste de radiação estão reunidas no Apêndice 2.

### 3.4. Caracterização óptica

#### 3.4.1. Introdução

A caracterização óptica da matriz APS protótipo foi realizada no Centro de Componentes e Semicondutores (CCS) da UNICAMP.

Foram submetidos aos testes ópticos o pixel do tipo 1, com apenas um fotodiodo, e pixel do tipo 2 composto por quatro fotodiodos. A Figura 3-33 mostra os layouts dos pixels testados (LIMA, 2005).

Figura 3-33 – Layouts dos pixels

Foram empregados nas medidas, uma fonte de luz com controle de estabilização de intensidade luminosa e filtros ópticos. Todo o trajeto do feixe de luz até o filtro é completamente selado fazendo com que somente a luz filtrada incida sobre o circuito integrado. Como ilustrado na Figura 3-34 no fim do caminho óptico é instalada uma esfera de integração que fornece na saída um feixe luminoso uniforme.

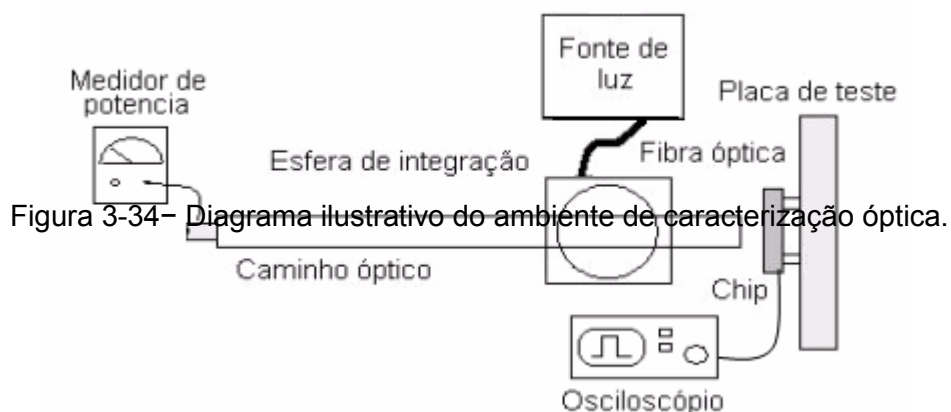


Figura 3-34 – Diagrama ilustrativo do ambiente de caracterização óptica.

A resolução do comprimento e da largura de faixa do feixe luminoso depois de filtrado é de 10 nm e a faixa de comprimentos de onda testados variou entre 400 e 700 nm.



Figura 3-35- Sinal de saída do pixel.

O sinal de saída do pixel é medido com auxílio de um osciloscópio, conforme mostrado na Figura-36, e a potência óptica aplicada nos testes é medida por meio de fotodetector acoplado a um medidor de potência (*power meter*), como mostra a Figura 3-35.

A sensibilidade para cada comprimento de onda, chamada de responsividade é obtida através da razão entre a inclinação do sinal de saída do pixel e a potência óptica do feixe luminoso aplicado (YANG *et. al.*, 1998). Ou seja, quanto maior a inclinação da reta do sinal de saída do pixel, para uma dada potência luminosa e o um determinado comprimento de onda, maior será sua sensibilidade.

Por exemplo:

Os gráficos da Figuras 3-36 e 3-37 mostram os respostas dos pixels tipo 1 e tipo 2, respectivamente, para um comprimento de onda de 400 nm. A potência do feixe luminoso aplicado nas medidas foi de aproximadamente  $6 \mu\text{W}/\text{cm}^2$ .

O cálculo da responsividade é feito obtendo a inclinação do sinal de saída do pixel conforme descrito a seguir:

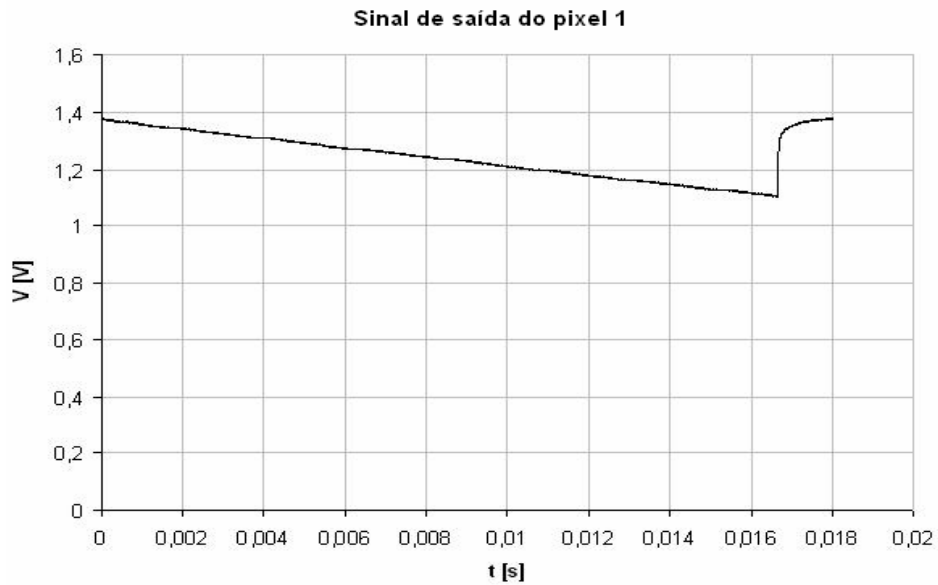


Figura 3-36 – Sinal de saída do pixel tipo 1

- **Pixel tipo 1:**

Ponto 1 :  $V = 1,20059V$  e  $t = 0,010478s$

Ponto 2 :  $V = 1,11278V$  e  $t = 0,016002s$

$\Delta t = 0,005524 s$

$\Delta V = 0,08781 V$

Inclinação =  $15,896 V/s$   $\Leftrightarrow$  Responsividade =  $246,1 V \cdot m/s \cdot W$



Figura 3-37 – Sinal de saída do pixel tipo 2

- **Pixel tipo 2:**

Ponto 1 :  $V = 1,2 \text{ V}$  e  $t = 0,001326 \text{ s}$

Ponto 2 :  $V = 0,4 \text{ V}$  e  $t = 0,15558 \text{ s}$

$\Delta t = 0,014232 \text{ s}$

$\Delta V = 0,799 \text{ V}$

Inclinação =  $55,159 \text{ V/s}$  <> Responsividade =  $889,99 \text{ V}\cdot\text{m/s}\cdot\text{W}$

Os valores das responsividades calculados mostram que para o comprimento de  $400 \text{ nm}$  com mesma potencia luminosa, o pixel 2 apresentou melhor sensibilidade.

As respostas dos pixels para toda a faixa de teste são apresentadas a seguir.

### 3.4.2. Resultados dos testes

A responsividade óptica normalizada dos pixels do tipo 1 e 2 para comprimentos de onda na faixa de  $400$  a  $700 \text{ nm}$  são mostradas, respectivamente nas Figura 3-38 e Figura 3-39. A intensidade luminosa de escuro foi medida e se mostrou desprezível diante dos valores das intensidades luminosas usadas nas medidas.

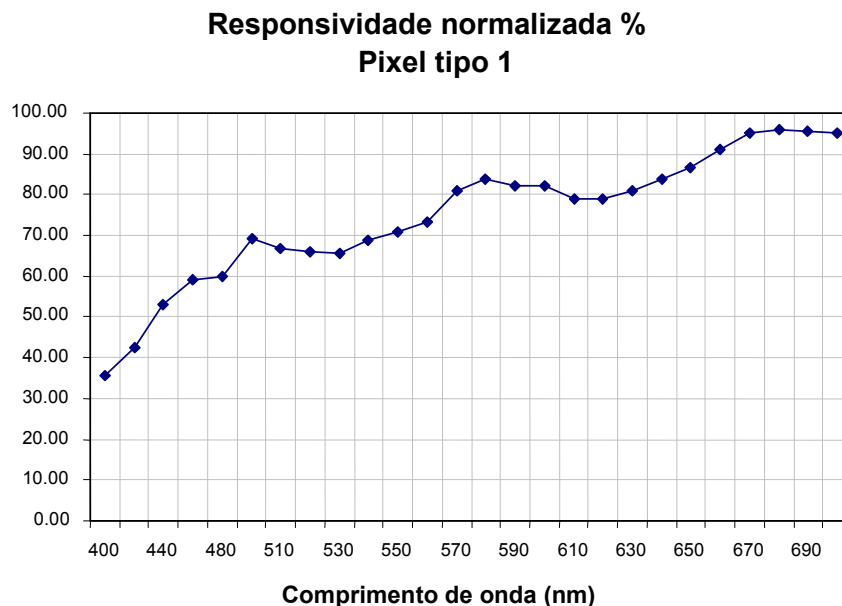


Figura 3-38 – Responsividade normalizada do pixel de tipo 1

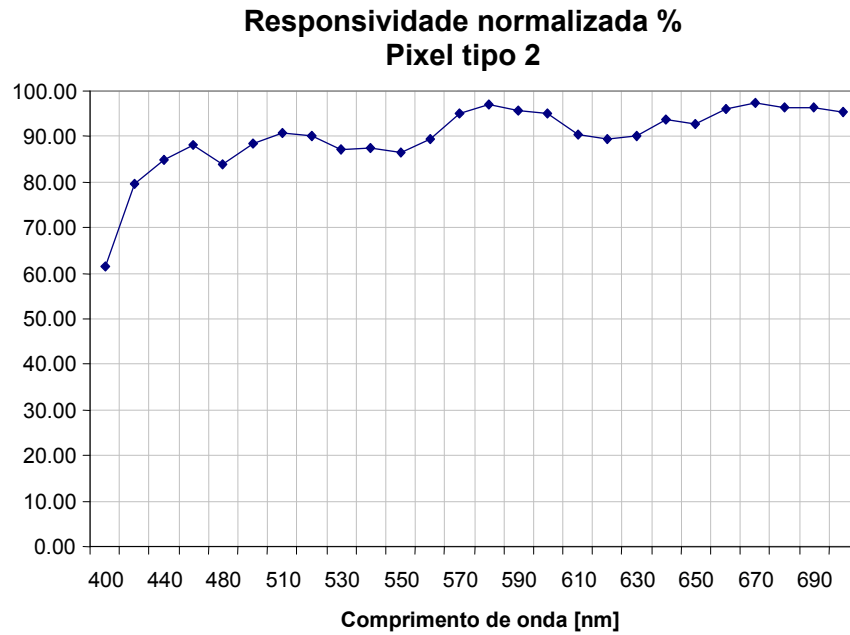


Figura 3-39 – Responsividade normalizada do pixel de tipo 2

### 3.4.3. Análise dos Resultados

As curvas de responsividade normalizada dos pixels obtidas no teste óptico mostraram que o pixel do tipo 2 apresentou a melhor resposta, pois sua responsividade permaneceu acima de 80% para comprimentos de onda superiores a 440nm, ou seja, praticamente em toda a faixa aplicada no teste. Isto denota que o emprego de quatro fotodiodos na construção do pixel, embora requeira uma área maior, aumenta significativamente o seu desempenho no que diz respeito à sensibilidade a uma faixa maior de frequências.



## 4. Protótipo operacional do APS em tecnologia 0,35µm

### 4.1. Introdução

Este capítulo descreve com detalhes o projeto do protótipo operacional do imageador APS desenvolvido em tecnologia AMS 0,35µm C35B4 (AMS, 2005a; AMS, 2005b).

O projeto do protótipo operacional do imageador APS foi desenvolvido com base nos resultados obtidos na caracterização do protótipo de teste apresentados no capítulo 3. Todos os seus circuitos digitais foram construídos utilizando células comerciais disponíveis na biblioteca de projeto (*design kit*) fornecida pela AMS (*Austria Micro Systems*). Os projetos dos circuitos analógicos implementados, com exceção dos pixels, também foram baseados em estruturas convencionais na construção dos seus componentes.

A arquitetura do pixel definida para compor a matriz operacional, é bastante similar à estrutura do tipo 2 do protótipo de teste (LIMA, 2005), pois esta configuração apresentou o melhor desempenho no teste de caracterização óptica apresentado na seção 3.4.

A opção de utilizar a biblioteca padrão de células lógicas fornecida pela AMS e estruturas convencionais no projeto do protótipo operacional, decorreu, principalmente, dos resultados obtidos nos testes de radiação realizados no protótipo de teste (seção 3.3.6). Os testes revelaram que a tecnologia empregada na sua construção (0,35 µm) se mostrou praticamente insensível ao nível de radiação ao qual foi submetida (500 Krad). Este fato tornou desnecessário o uso de estruturas e geometrias especiais tolerantes à radiação nos componentes do circuito integrado, exceto na construção do pixel, que manteve as mesmas estruturas de proteção empregadas no protótipo de teste.

Outros componentes utilizados no protótipo operacional mantiveram exatamente a mesma construção empregada no protótipo de teste. Estas estruturas são: o anel de pad, os pads e o encapsulamento do circuito integrado (LIMA, 2005).

#### **4.2. Arquitetura geral do protótipo operacional**

O protótipo operacional é composto de quatro partes principais. Uma matriz APS 64x64 associada a uma lógica de endereçamento, um módulo de controle endereçamento automático, um estágio de saída constituído de dois amplificadores operacionais com a mesma topologia, porém com layouts distintos, e duas estruturas teste destinadas à caracterização elétrica e óptica. Sendo: uma matriz composta de 14 transistores do tipo n e 14 transistores do tipo p e outra matriz contendo 100 fotodiodos, utilizados na matriz principal.

Tal como no protótipo de teste as quatro partes do circuito foram projetadas para atuarem de modo independente, o que evita que um mau funcionamento em uma parte do circuito prejudique outra.

Todos os componentes existentes no circuito, exceto portas lógicas e *drivers*, foram projetados usando metodologia de projeto totalmente desenvolvida pela equipe de projeto (*full custom*) sendo observadas as regras de construção de layout especificadas pela AMS (2005a).

##### **4.2.1. Planta baixa do circuito**

Conforme já mencionado, os 4 blocos principais que compõem o circuito integrado foram construídos para operarem isoladamente. Esta estratégia de projeto além de facilitar significativamente a depuração do circuito, permite o funcionamento da matriz mesmo que haja avaria em um ou mais blocos do chip. Seguindo esta metodologia foi construído um anel de pads (*pad-ring*) dividido em duas partes

independentes, denominadas de “coroa esquerda” e “coroa direita”. A planta baixa do circuito e o layout do anel de pads são mostrados na Figura 4-1.

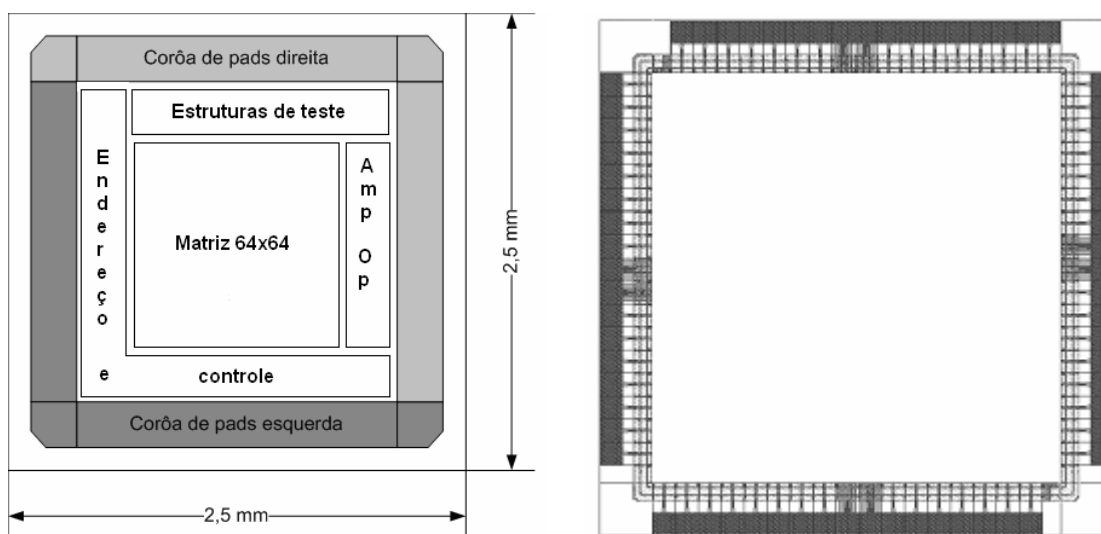


Figura 4-1 – Planta baixa do APS e o layout do anel de pads

A presença de 4 barramentos de alimentação positiva independentes, isto é dois analógicos e dois digitais distribuídos igualmente por tipo entre as coroas, permite alimentar apenas uma parte do circuito de cada vez em função do tipo de medida a ser realizada.

Para evitar o surgimento de *loops* de corrente, apenas um ponto serve de referência de alimentação negativa para todo o circuito, que é o substrato de tipo p p do processo de fabricação, o qual é ligado ao barramento de aterramento GND.

A alimentação positiva do circuito  $V_{DD}$ , de 3,3 Volts para a tecnologia AMS 0,35  $\mu\text{m}$  C35B4 (AMS, 2005a), é dividida em dois barramentos, como mostra a Figura 4-2. Uma para parte lógica digital do circuito ( $V_{DDD}$ ) e outra destinada aos circuitos analógicos ( $V_{DDA}$ ).

Esta estratégia de projeto tem o propósito de evitar que haja, eventuais, interações, entre os circuitos lógicos e analógicos, que possam prejudicar o funcionamento do circuito integrado.

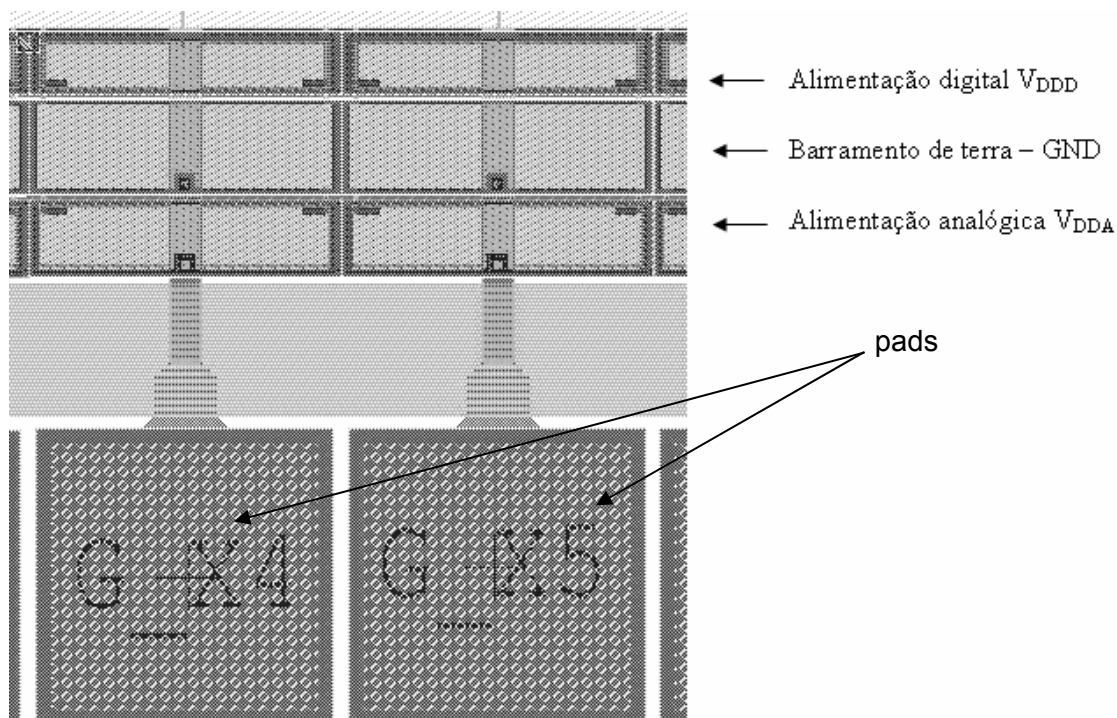


Figura 4-2 – Detalhe dos barramentos de alimentação

Os pads são componentes analógicos fornecidos pela biblioteca de projeto da AMS, que atuam como elemento de ligação entre os circuitos internos do chip e os dispositivos externos com os quais ele irá interfacear.

#### 4.2.2. Matriz APS operacional

A matriz de pixels APS operacional contém 64x64 pixels de um único tipo. Tal como no protótipo de teste, cada pixel pode ser endereçado individualmente, seja para comandar a leitura do pixel, seja para forçar a inicialização (*reset*) da tensão do fotodiodo do pixel. Também é possível inicializar todos os pixels da matriz simultaneamente.

Diferentemente da versão de teste, a lógica de endereçamento e controle permite que a matriz operacional seja endereçada tanto de modo estático quanto de maneira dinâmica e automática, através do gerador automático de endereços, que será descrito na seção 4.2.3.3.

A seleção de cada pixel é feita habilitando o transistor de *reset* (seletor de linha – SL) da linha a qual o pixel pertence, por meio do sinal R\_RST (Figura 4-3). Em seguida é ativado o transistor seletor de coluna (SC) através do sinal C\_SEL, que irá conectar o transistor seguidor de fonte SF (*source follower*) à saída do pixel (OUT), permitindo que o sinal trafegue através do restante do circuito até o estágio final de saída. Todos os outros pixels na mesma coluna, em linhas diferentes, não estão selecionados. Como consequência, o sinal de saída do transistor SF de apenas um pixel aparecerá naquela coluna.

A ativação do sinal R\_RST dos pixels é feita via uma lógica de endereçamento de linha, e a ativação do sinal C\_SEL é realizada através de uma lógica de endereçamento de coluna.

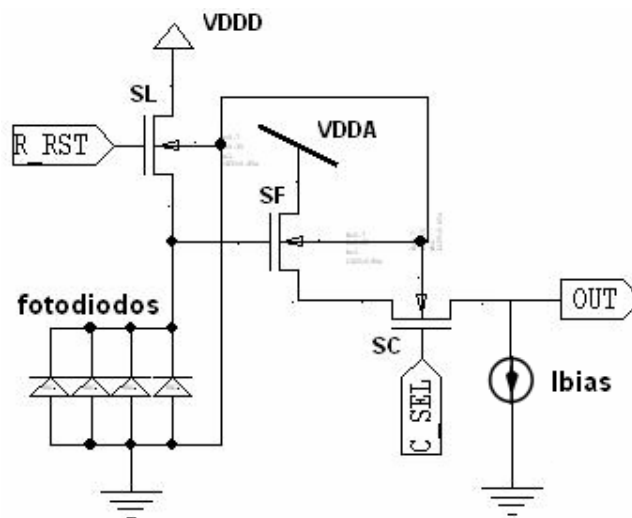


Figura 4-3 – Esquemático conceitual do pixel.

O sinal de saída de cada coluna chega à saída global da matriz via um conjunto de chaves analógicas, as quais constituem um demultiplexador. Como a faixa dinâmica de saída do pixel não é próxima a  $V_{DD}$  (3,3 Volts), usam-se apenas transistores NMOS como chaves analógicas, reduzindo a capacitância total na saída. Estas chaves são comandadas, também, pela lógica de endereçamento de coluna.

A aquisição de imagens utilizando a matriz APS operacional deve obedecer a uma seqüência de operações de ordem bem definida. Inicialmente deve-se comandar a inicialização (*reset*) dos pixels, que pode ser global ou por linha e, após um intervalo de tempo, é realizada a leitura da tensão de saída do pixel endereçado. O endereçamento da matriz pode ser executado remotamente via um dispositivo externo, ou de forma automática utilizando o mecanismo de endereçamento automático interno, que será descrito mais adiante.

#### 4.2.2.1. Arquitetura do pixel

A arquitetura do pixel é baseada na estrutura APS denominada de 3T (CHEUNG, 2002). Os pixels são desenhados de maneira a minimizar a suscetibilidade aos efeitos da radiação ionizante e ao mesmo tempo maximizar a sensibilidade à luz incidente. O pixel consiste de 4 fotodiodos e três transistores: o transistor de inicialização ou *reset* (SL), o transistor de leitura ou *readout* (SF), e o transistor de seleção de coluna (Figura 4-3).

Os quatro fotodiodos são do tipo *nwell / psub*, ou seja, poço n em substrato p (AMS, 2005a) reversamente polarizados, conectados em paralelo e cercados por estruturas de proteção contra radiação. São distribuídos pela área total do pixel e operam normalmente em modo integrador do fluxo luminoso incidente. O layout do pixel é mostrado na Figura 4-4.

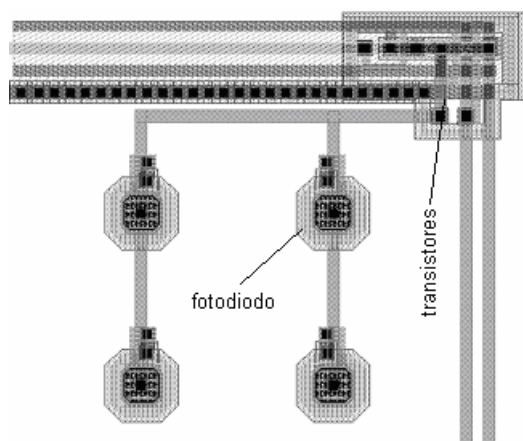


Figura 4-4 – Layout do pixel da matriz APS operacional.

O ciclo de operação do pixel ocorre em três fases: fase de *reset* ou inicialização, fase de integração e fase de leitura.

- Fase de *reset*: A inicialização do pixel é efetuada com a aplicação da tensão de alimentação positiva (VDD) no terminal porta (*gate*) do transistor SL. Carregando, assim, as capacitâncias de junção dos fotodiodos.
- Fase de integração: A desativação do transistor SL, ou seja, retirada da tensão de 3,3 Volts da porta do transistor, deixando o catodo dos fotodiodos eletricamente isolados, dá início ao período de integração. Nesta situação é criada uma carga foto-gerada devido à incidência de luz (fótons) na superfície dos fotodiodos.

Uma vez que os fotodiodos estão reversamente polarizados, os pares elétron-buraco gerados irão se separar, como mostra a Figura 4-5. Os elétrons serão atraídos para o catodo do fotodiodo e os buracos pelo anodo (CHEUNG, 2002).

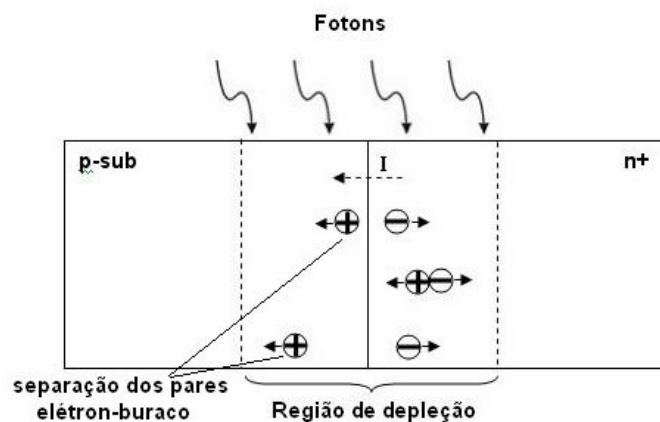


Figura 4-5 – Fotodiodo em fase de integração

Como essa fotocorrente é, extremamente, pequena toda carga por ela gerada irá ser integrada durante este período. Esta integração ocorre essencialmente na capacitância de porta do transistor SF (seguidor de fonte).

- Fase de leitura: Ao selecionar o transistor SC a tensão do pixel irá seguir para a saída, através de transistor SF, polarizado pela fonte de corrente externa ao pixel. O

intervalo de tempo entre o reset e a leitura do pixel é variável. Usualmente, o instante de leitura do pixel ocorre na metade do período de integração.

O diagrama de tempo da Figura 4-6 mostra o ciclo de operação típico do pixel.

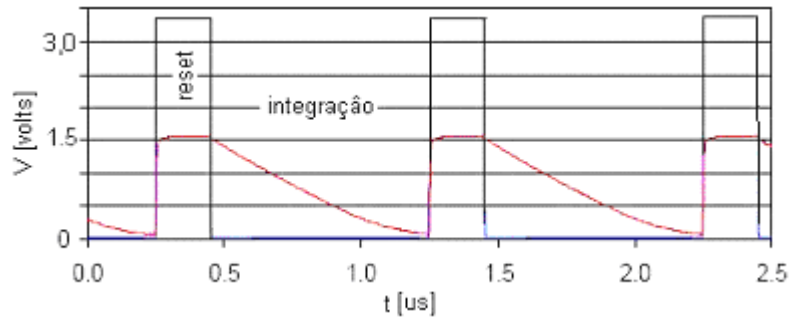


Figura 4-6 – Ciclo típico de operação do pixel do APS

#### 4.2.3. Circuito de endereçamento e controle

Este bloco é composto por três componentes principais: a lógica de endereçamento de linha, a lógica de endereçamento de coluna e o gerador automático de endereços. Estes blocos são descritos a seguir.

##### 4.2.3.1. Lógica de endereçamento de linha

O endereçamento de linha da matriz é feito através de um decodificador digital de 6 entradas e 64 saídas (6x64). Este decodificador é construído a partir do cascadeamento de decodificadores 2x4 com entrada de habilitação (ENB).

Cada decodificador 2x4 é composto de quatro células primárias de decodificação contendo uma porta NAND de três entradas e um inversor. A célula primária de decodificação e o esquemático de um decodificador de 2x4 são mostrados na Figura 4-7.

O decodificador possui duas entradas de sinais de decodificação, A e B, que fornecem as codificações binárias correspondentes a cada uma das saídas do decodificador. Estas saídas serão efetivamente ativadas, ou seja, só assumirão o nível lógico zero se sinal de habilitação ENB estiver ativo.



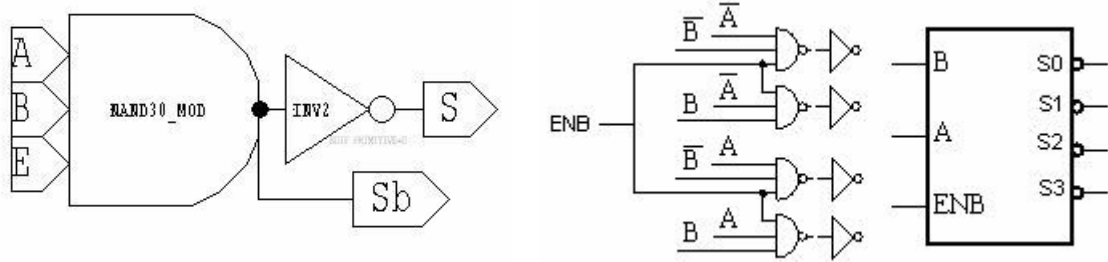


Figura 4-7 – Esquemático e símbolo do decodificador 2x4

Embora a célula primária de decodificação disponibilize duas saídas, uma em nível lógico “1” (S) e outra em nível lógico “0” (Sb), o decodificador de linha de 6x64 (Figura 4-8) só utiliza as saídas em nível lógico baixo (“0”) para habilitar o estágio seguinte da lógica de endereçamento de linha, chamado de lógica de *reset* de linha, cujo esquemático é mostrado na Figura 4-9.

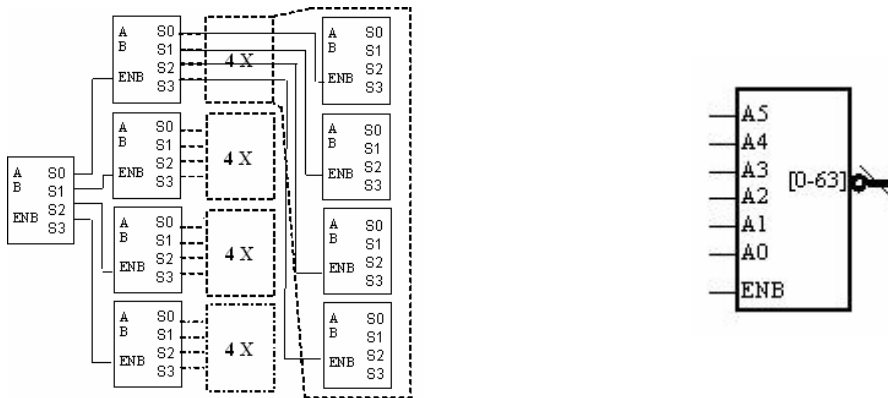


Figura 4-8 – Esquemático e símbolo do decodificador 6x64 com habilitação

A lógica de *reset* ou seleção de linha é composta por 3 transistores PMOS e 3 transistores NMOS. Ela permite tanto a habilitação de uma única linha, através dos sinais HAB, ativo em nível lógico “0” e R\_ADDR\_ENB, ativo em “0”, como a inicialização simultânea de todos os pixels da matriz, por meio do sinal de *reset* global G\_RST, ativo em nível lógico zero.

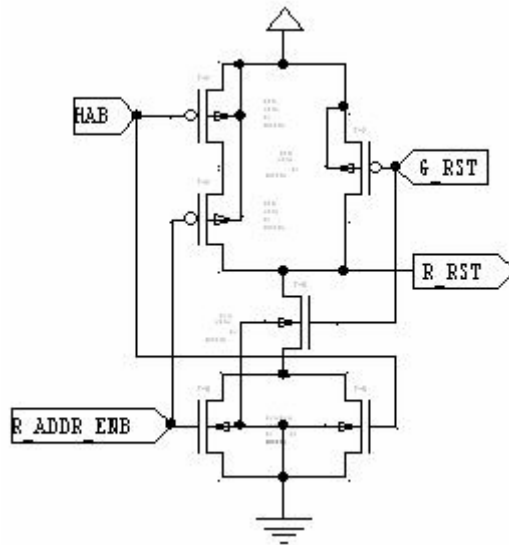


Figura 4-9 – Esquemático da lógica de *reset* de linha

Cada saída do decodificador (de 0 a 64) está associada a uma lógica de *reset* de linha através do sinal H&B. Os sinais R\_ADDR\_ENB e G\_RST são comuns à todas as lógicas de reset, conforme mostra a Figura 4-10.

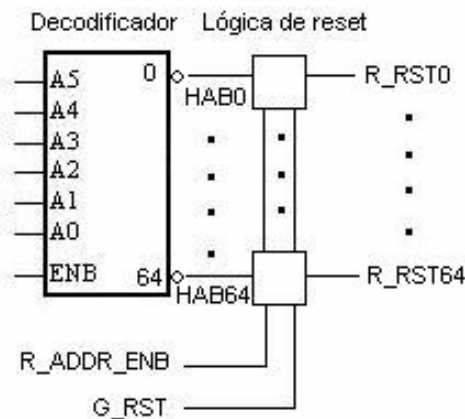


Figura 4-10 – Interligação da lógica de *reset* de linha com o decodificador de 6x64

Cada sinal de saída R\_RST, associado à uma determinada linha da matriz, só será ativado, se o sinal R\_ADDR\_ENB estiver ativo (nível lógico “0”) e o sinal H&B correspondente à esta linha estiver habilitado (nível lógico “0”). Caso o sinal G\_RST (*reset* global) seja acionado, em nível lógico “0”, todas as linhas da matriz serão “resetadas” em conjunto.

Como cada sinal de saída R\_RST está associado a uma linha, ou seja, 64 pixels, a capacitância total da linha somada a capacitância das interconexões, torna-se significativa.

Este problema é resolvido utilizando um estágio lógico adicional de *drivers*, capazes de fornecer mais corrente que uma porta lógica convencional, completando, assim, o circuito de endereçamento de linha da matriz.

O diagrama ilustrativo do mecanismo de endereçamento de linha é mostrado na Figura 4-11.

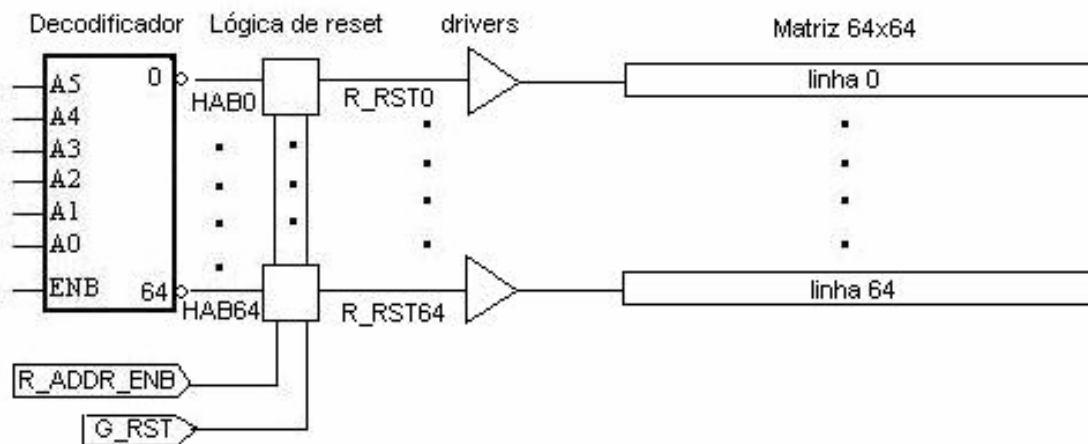


Figura 4-11 – Diagrama ilustrativo do endereçamento de linha

#### 4.2.3.2. Lógica de endereçamento de coluna

O endereçamento de coluna pode ser feito de maneira similar ao que foi feito para as linhas. Exceto que, neste caso, as saídas das colunas são conectadas a um demultiplexador analógico de 64 entradas e 1 saída (64x1) acionado pelas 64 saídas do decodificador digital ativas em nível lógico alto ("1").

O demultiplexador de 64x1 é constituído de demultiplexadores menores, de 4 entradas e 1 saída (4x1), organizados em níveis, totalizando 3 estágios de demultiplexação.

No terceiro nível (nível 3), ligados diretamente às colunas da matriz, existem 16 demultiplexadores de 4x1, que se conectam à 4 demultiplexadores do mesmo tipo no nível 2. No último estágio de demultiplexação, nível 1, existe apenas 1 demultiplexador que leva o sinal do pixel à saída do circuito.

O diagrama em blocos do demultiplexador completo é ilustrado na Figura 4-12.

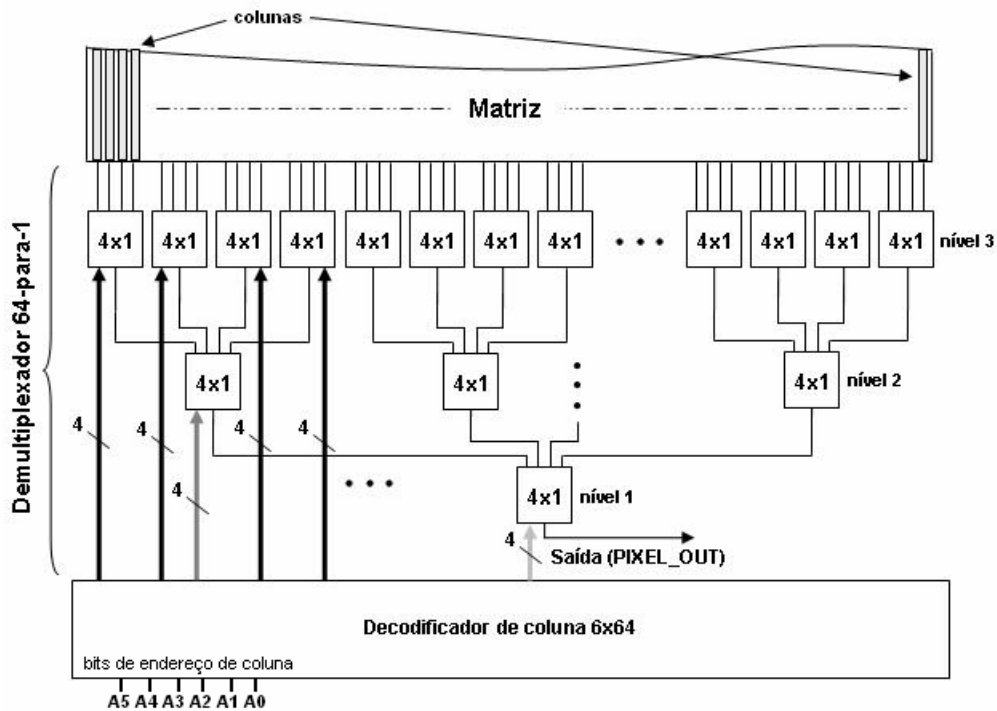


Figura 4-12 – Arquitetura do demultiplexador de 64x1

Esta arquitetura reduz sensivelmente a carga capacitiva vista tanto pelo pixel selecionado quanto na saída do circuito.

O comando dos multiplexadores em cada um dos níveis exige apenas 4 linhas por nível. Estas linhas de controle são geradas pelo decodificador de coluna de 6x64. O terceiro nível recebe a decodificação dos 2 bits menos significativos do endereço da coluna (A1 e A0). O segundo nível recebe a decodificação dos 2 bits intermediários (A3 e A2), e o primeiro nível recebe a decodificação dos 2 bits mais significativos (A5 e A4).

Da mesma forma que na decodificação de linha, o decodificador de coluna também possui uma lógica de *reset* de coluna, mostrada na Figura 4-13. Este circuito é responsável por selecionar a coluna na qual se encontra o pixel que se deseja acessar. Assim, o acionamento do sinal de *reset* de linha, seguido do sinal de seleção de coluna, provoca o *reset* e leitura de um único pixel, no ponto onde houve a interseção da linha e da coluna endereçadas, conforme ilustrado na figura 4-14.

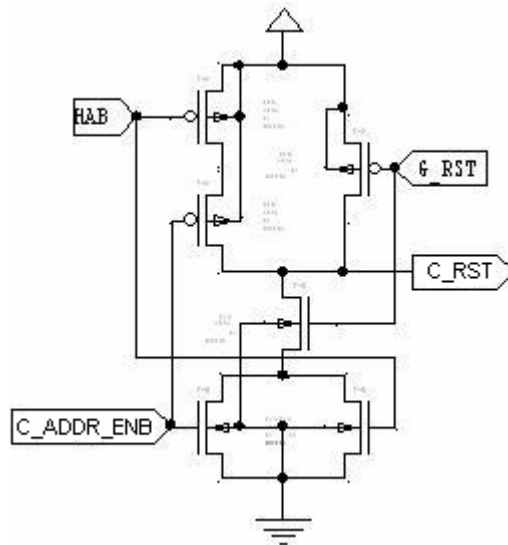


Figura 4-13 – Esquemático da lógica de *reset* de coluna

Cada sinal de saída C\_RST, associado à uma determinada coluna da matriz, só será ativado, se o sinal C\_ADDR\_ENB estiver ativo (nível lógico “0”) e o sinal H&A B, uma das saídas do decodificador de coluna, correspondente à esta coluna, estiver habilitado (nível lógico “0”).

Caso o sinal G\_RST (*reset* global) seja acionado (nível lógico “0”), todas as colunas da matriz serão “resetadas” em conjunto.

O circuito de decodificação de coluna também é dotado de um estágio adicional de drivers com o propósito de aumentar a capacidade carga das portas lógicas convencionais.

O diagrama da Figura 4-15 mostra um exemplo do processo de endereçamento de pixel, neste caso, pixel de endereço “0” (em destaque), pois se trata da interseção da linha “0” com a coluna “0” da matriz.

Além de selecionar a coluna, o decodificador de coluna exerce, ainda, a função de acionamento do demultiplexador, o qual irá comutar o sinal de saída do pixel endereçado, ao estágio de saída do circuito, através do sinal PIXEL\_OUT.

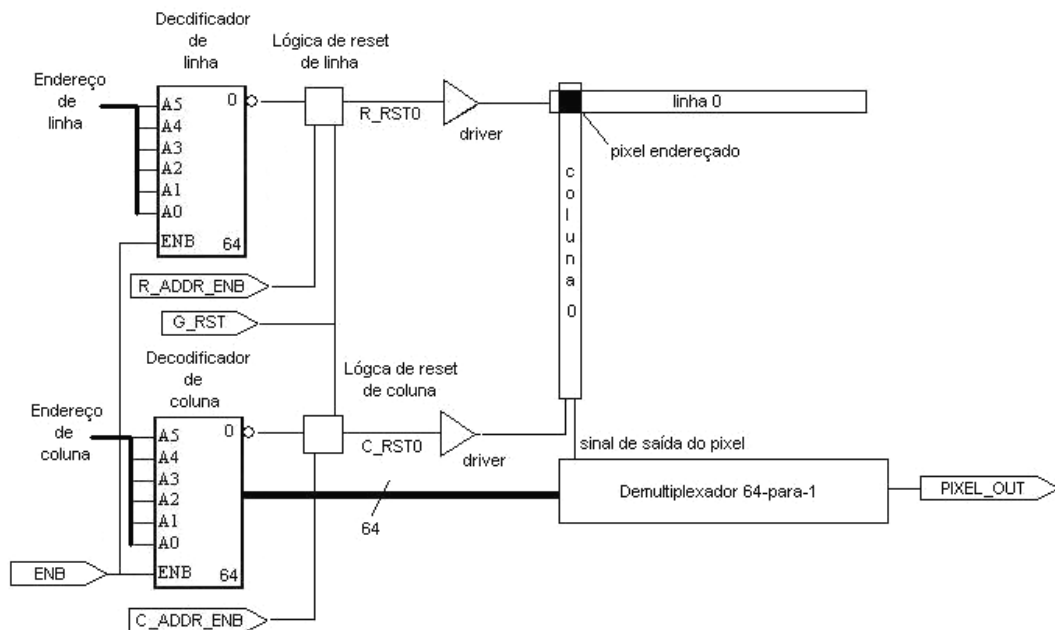


Figura 4-14 – Diagrama geral de endereçamento do pixel

#### 4.2.3.3. Gerador automático de endereços

Conforme já mencionado, o endereçamento da matriz pode ser realizado de modo remoto, empregando dispositivos externos, ou de maneira automática utilizando o gerador de endereços do próprio circuito integrado. Este gerador é composto por três contadores de 4 bits totalizando 12 bits de endereçamento (Figura 4-15). Ou seja, 6 bits para endereçar as linhas e outros 6 bits destinados ao endereçamento das colunas da matriz. Cada contador de 4 bits é constituído por 4 *flip-flops* do tipo *toggle* posicionados de maneira seqüencial, como mostra a figura 4-16.

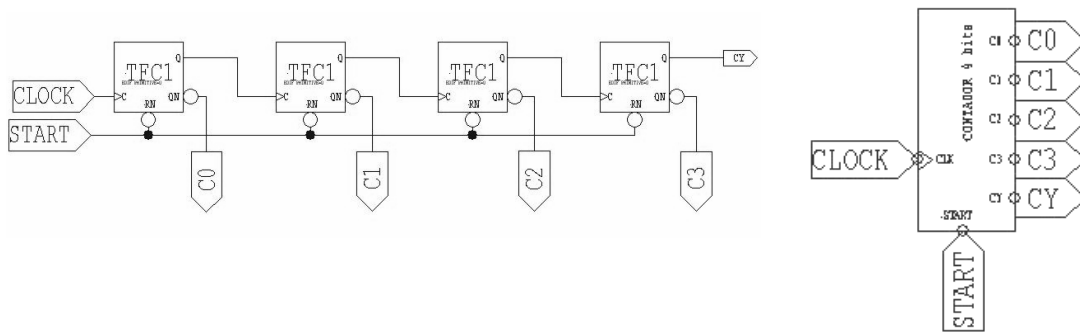


Figura 4-15 – Esquemático e símbolo do contador de 4 bits.

O funcionamento do contador de 12 bits depende apenas de dois sinais de controle: o sinal CLOCK e o sinal START. O sinal START é responsável pela inicialização de todos os *flip-flops* do contador, levando suas saídas ao nível lógico “0”. A partir daí, a saída de cada *flip-flop* só mudará de estado, caso os *flip-flops* anteriores já tenham assumido todas as combinações binárias possíveis.

Todas as trocas de estado dos *flip-flops* são comandadas a partir de transições positivas do relógio básico do contador através do sinal CLOCK.

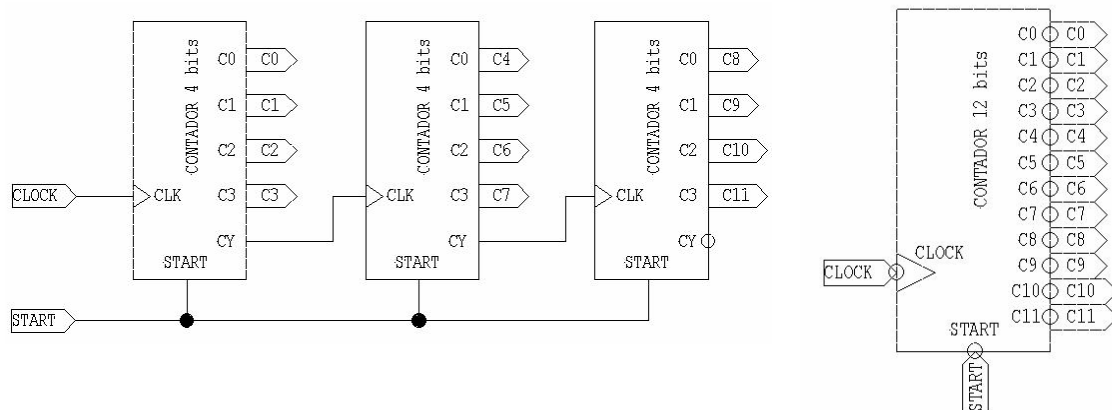


Figura 4-16 – Esquemático e símbolo do contador de 12 bits

A Tabela 4-1 apresenta um exemplo de funcionamento do contador de 12 bits mostrando o comportamento dos três primeiros *flip-flops* (bits menos significativos do contador). São destacadas as combinações possíveis para o bit 0 e as mudanças de estado do bit 1 correspondentes.

Tabela 4-1 – Exemplo de funcionamento do contador de 12 bits.

Flip-flop - bit 0	Flip-flop - bit 1	Flip-flop - bit 2
0	0	0
1	0	0
0	1	0
1	1	0
0	0	1

Além do contador de 12 bits, o gerador de endereços possui um estágio adicional chamado de registrador de endereços, composto por *flip-flops* tipo “D”, que tem a função de manter os sinais estáveis no barramento de endereços, evitando que transições espúrias sejam passadas para os decodificadores de linha e coluna. A Figura 4-17 mostra o esquemático e o símbolo do registrador de endereços.

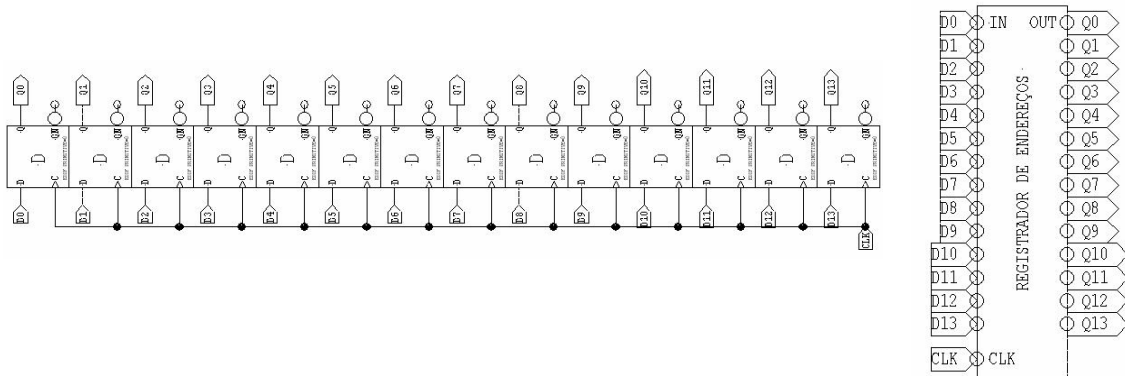


Figura 4-17 – Esquemático e símbolo do registrador de endereços

O gerador de endereços é responsável, também, pela geração dos sinais de controle R\_ADDR e C\_ADDR, que têm o propósito de habilitar, respectivamente, a linha e a coluna que serão acessadas.

O diagrama de tempo do funcionamento do gerador, ilustrado na Figura 4-18, mostra dois ciclos completos de geração de endereços. Nesta figura o sinal CLOCK é o relógio do contador, o barramento de endereços END\_CONT, reuni os endereços de linha e coluna na saída do contador.



O sinal CLK é o relógio do registrador e o barramento de endereços END\_REG contem os endereços de linha e coluna na saída do registrador.

Conforme mostra o diagrama, os endereços de linha e coluna (END\_CONT) são capturados pelo registrador (END\_REG) através do sinal CLK, somente após terem estabilizado na saída do contador. O que garante que os sinais de endereço serão transferidos aos decodificadores de linha e coluna, livres de ruídos que possam, eventualmente, terem sido produzidos pelas transições do contador.

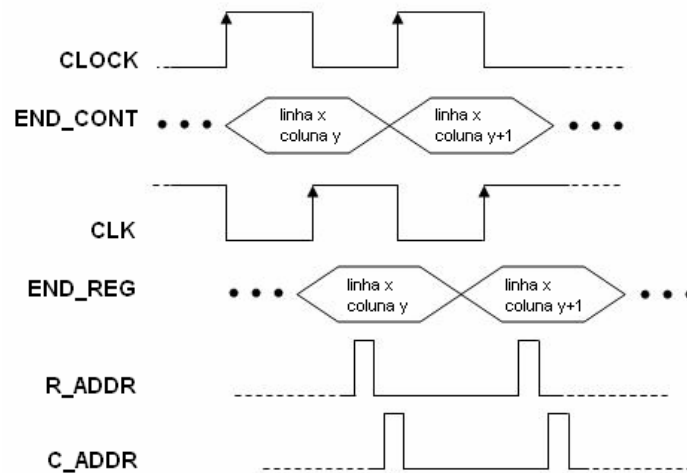


Figura 4-18 – Diagrama de tempo do gerador de endereços

Como os bits menos significativos do gerador são associados ao decodificador de coluna e os bits mais significativos são ligados ao decodificador de linha, para cada linha endereçada todas as 64 colunas são “varridas”, portanto, pode-se dizer que o endereçamento dos pixels da matriz é realizado por linha.

A Tabela 4-2 apresenta, de forma resumida, a operação de endereçamento de linhas e colunas da matriz.

Tabela 4-2 – Endereçamento das linhas e colunas da matriz

LINHA	COLONAS
0	0 . . . 64
1	0 . . . 64
⋮	⋮
64	0 . . . 64

#### 4.2.4. Estágio de saída

O circuito de saída é composto por dois amplificadores operacionais de três estágios com entrada diferencial (KWOK *et al.*, 2002) que funcionam de modo independente, o que confere um grau de redundância ao estágio de saída do chip. Estão configurados para operarem como *buffers* com o propósito de aumentarem a capacidade de carga do sinal de saída do pixel.

Os dois amplificadores possuem a mesma topologia, porém com layouts distintos, e empregam diferentes técnicas de construção no projeto dos capacitores.

A Figura 4-20 apresenta o esquemático e o símbolo dos amplificadores operacionais.

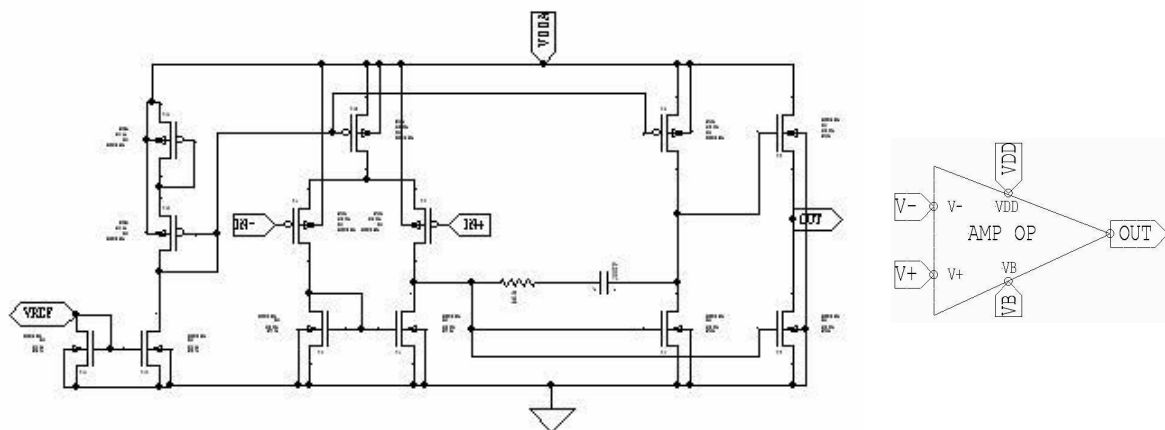


Figura 4-19 – Esquemático e o símbolo dos amplificadores operacionais.

Por atuarem de forma independente, além da redundância, já mencionada, este arranjo permitirá a realização de testes que possibilitarão verificar o desempenho, prático, de cada construção.

A Figura 4-20 mostra a versão do amplificador operacional que utiliza a forma octogonal na construção do capacitor. Este modelo não apresenta ângulos retos, que são responsáveis por facilitar o acúmulo de cargas e, por conseguinte, o surgimento de capacitâncias parasitas (CLEIN, 2000). Já a versão da Figura 4-21 apresenta o capacitor na forma convencional, ou seja, retangular (AMS, 2005a).

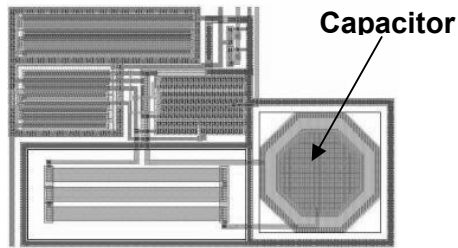


Figura 4-20 – Versão do amplificador com capacitor octogonal.

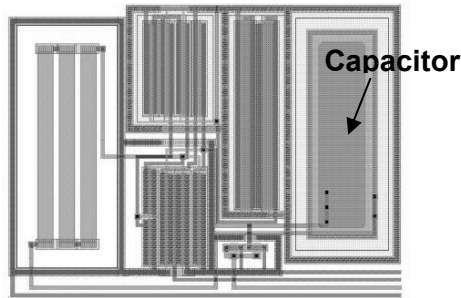


Figura 4-21 – Versão do amplificador com capacitor retangular.

Os amplificadores são ligados à saída do pixel através do sinal PIXEL\_OUT, mostrado na Figura 4-14.

#### 4.2.5. Estruturas de testes

O protótipo do imageador APS operacional é dotado de duas estruturas de testes. Uma matriz de transistores MOS contendo uma sub-matriz com 14 transistores do tipo n e outra com 14 transistores de tipo p, destinados à caracterização elétrica do circuito integrado.

A segunda estrutura é uma matriz composta de 100 fotodiodos idênticos aos utilizados na composição da matriz principal. Estes elementos têm o propósito de atuar na caracterização óptica do chip.

Na matriz MOS, os transistores das duas sub-matrizes foram construídos com as geometrias necessárias à caracterização elétrica. Ou seja, as estruturas apresentam transistores grandes, transistores largos, transistores curtos e transistores pequenos (largos e curtos). Em ambas as sub-matrizes, os dispositivos estão distribuídos em

paralelo, ou seja, com os terminais dreno (D) e fonte (S) conectados e os terminais de porta (de G1 a G7) interligados dois a dois. Conforme mostra a Figura 4-23.

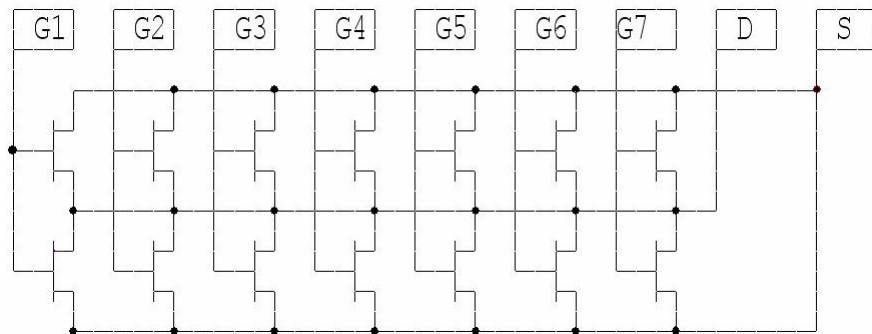


Figura 4-22 – Estrutura das sub-matrizes de transistores teste.

A Figura 4-23 apresenta o layout da matriz de transistores de teste, onde é possível observar as duas sub-matrizes.

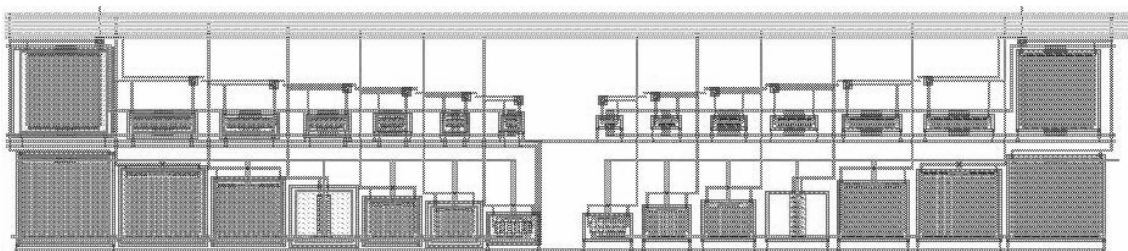


Figura 4-23 – Layout da matriz de transistores teste.

Os terminais dos transistores de cada sub-matriz são ligados diretamente aos pads correspondentes. No entanto, é importante destacar que os pads relacionados à sub-matriz de transistores do tipo p, não são dotados de diodos de proteção. Isto se deve à necessidade de injeção de tensão negativa nestes pinos durante o processo de caracterização elétrica destes transistores. O que causaria polarização direta dos diodos inviabilizando a execução dos testes, uma vez que o substrato se encontra aterrado.

A segunda estrutura de teste, conforme já mencionado, trata-se de uma matriz contendo 100 fotodiodos, interligados em paralelo, dedicados aos testes de caracterização óptica. Este arranjo permite extrair informações sobre o desempenho médio dos pixels que compõem a matriz principal.

O layout da matriz de fotodiodos é mostrado na Figura 4-24.

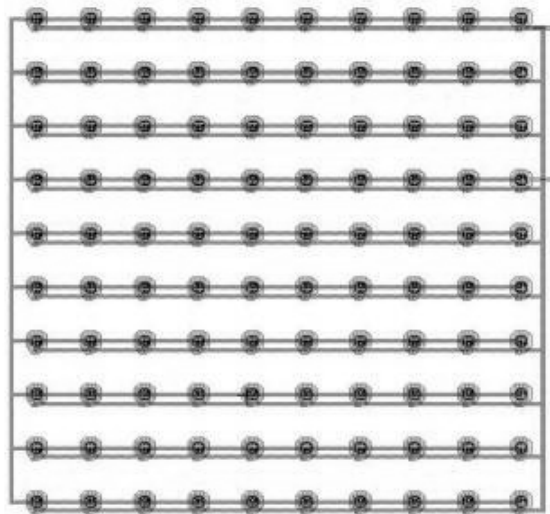


Figura 4-24 – Layout da matriz de fotodiodos de teste.

#### 4.2.6. Diagrama em blocos e layout do circuito

O diagrama em blocos do protótipo operacional do imageador APS é mostrado na Figura 4-25.

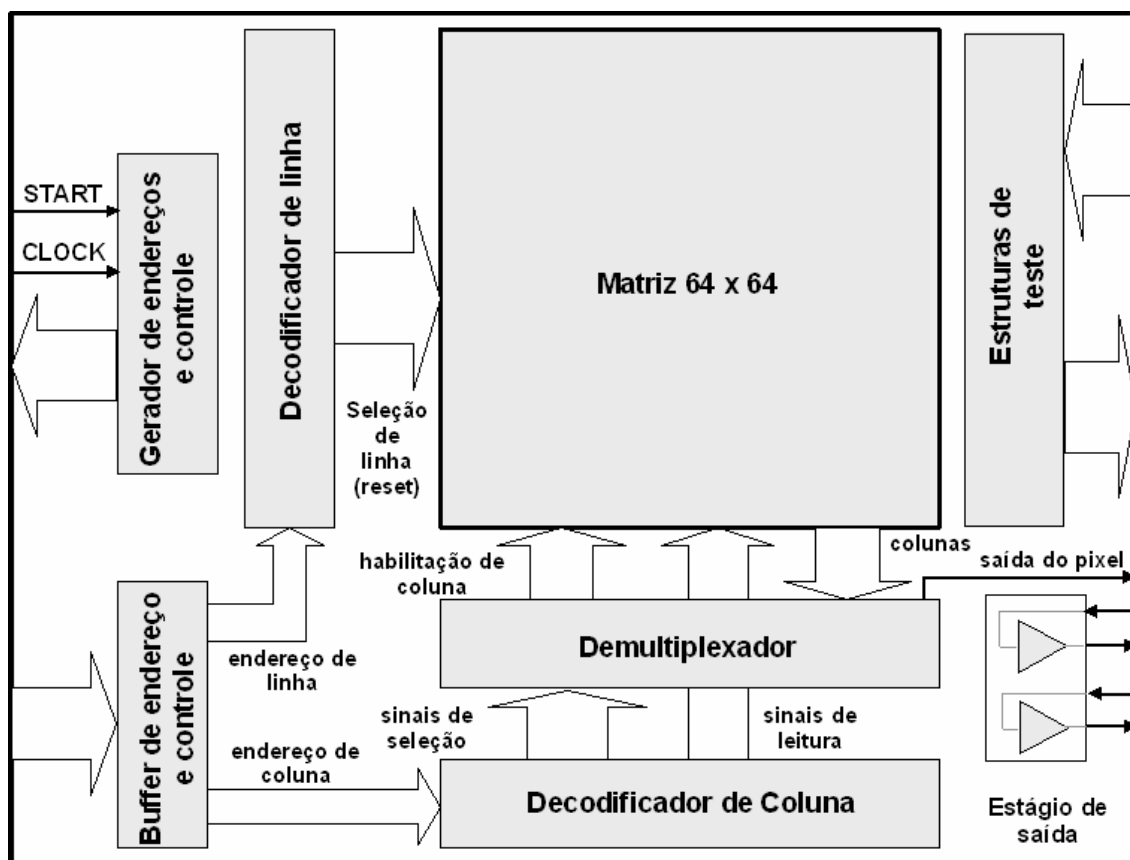


Figura 4-25 – Diagrama em blocos do protótipo operacional

A Figura 4-26 mostra o layout do circuito completo do protótipo operacional do imageador APS.

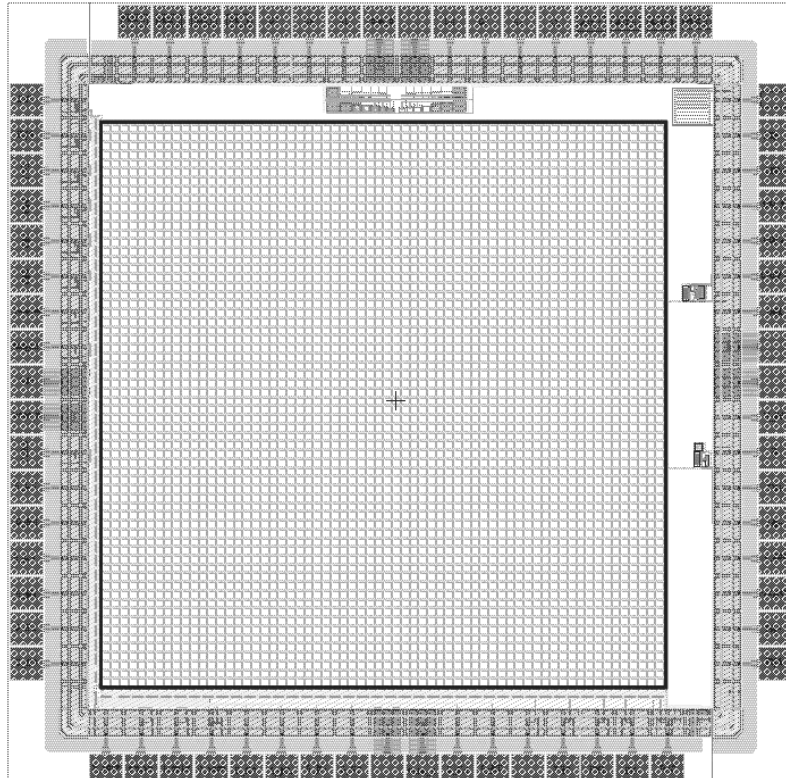


Figura 4-26 – Layout do protótipo operacional do imageador APS

#### 4.2.7. Simulações

Foram realizadas simulações elétricas DC, AC e de transiente utilizando arquivos do tipo *netlists*, extraídos dos esquemáticos elétricos correspondentes aos layouts dos componentes que integram o circuito integrado. As simulações foram executadas pelo simulador de circuitos elétricos SPICE 3F4, e divididas em simulações digitais, simulações analógicas e a simulação completa do circuito integrado.

As simulações digitais compreendem a verificação do funcionamento, em análise de transiente, dos circuitos lógicos que compõem todo o bloco de controle e geração de endereçamento da matriz. As simulações dos circuitos analógicos envolvem as

análises elétricas realizadas nos amplificadores operacionais e a análise de transiente do pixel. Os resultados dessas simulações estão reunidos no Apêndice 3.

- **Simulação completa do protótipo operacional**

A simulação do circuito completo consiste na análise de transiente do funcionamento de todos os blocos do APS envolvidos na medida, interligados. Como mostra a Figura 4-27.

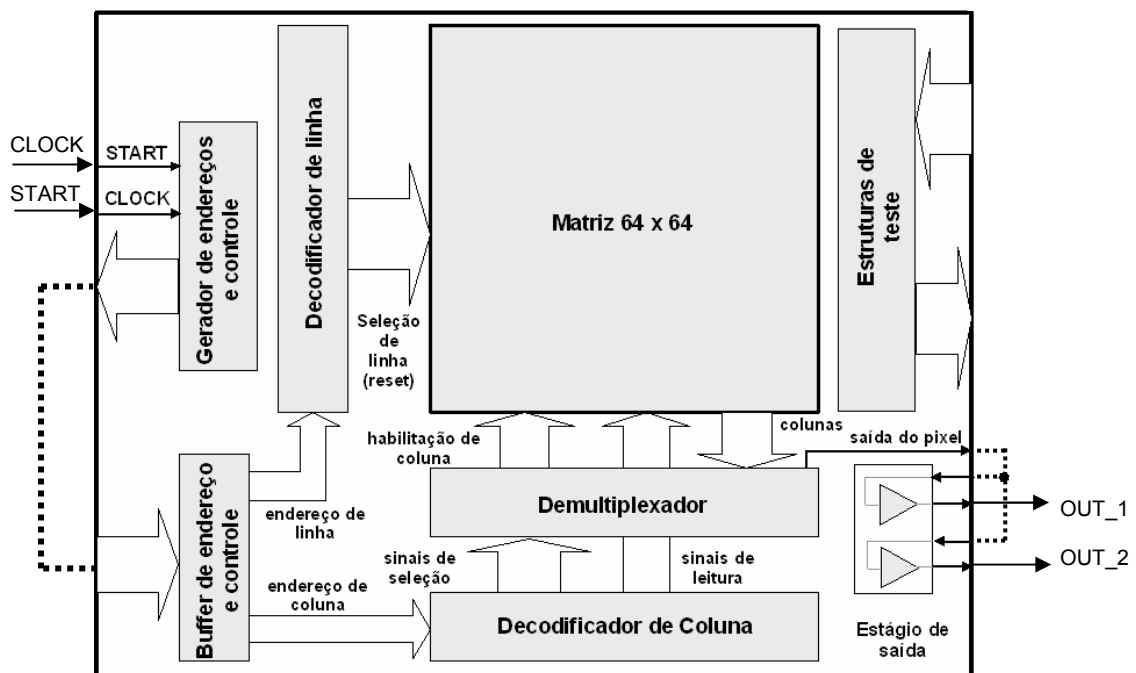


Figura 4-27– Diagrama de ligação para simulação completa do protótipo operacional

O circuito recebe os sinais externos CLOCK e START, através de duas fontes de pulsos, e partir daí o gerador de endereços e controle começa a endereçar automaticamente a matriz através do *buffer* de endereços e controle e os decodificadores.

À medida que os pixels vão sendo selecionados, seus sinais são passados para saída do circuito integrado através dos amplificadores operacionais pelos sinais de saída, OUT\_1 e OUT\_2 mostrados na figura.

As formas de onda apresentadas na Figura 4-38 mostram os sinais de saída de cada bloco envolvido na simulação completa do circuito integrado.

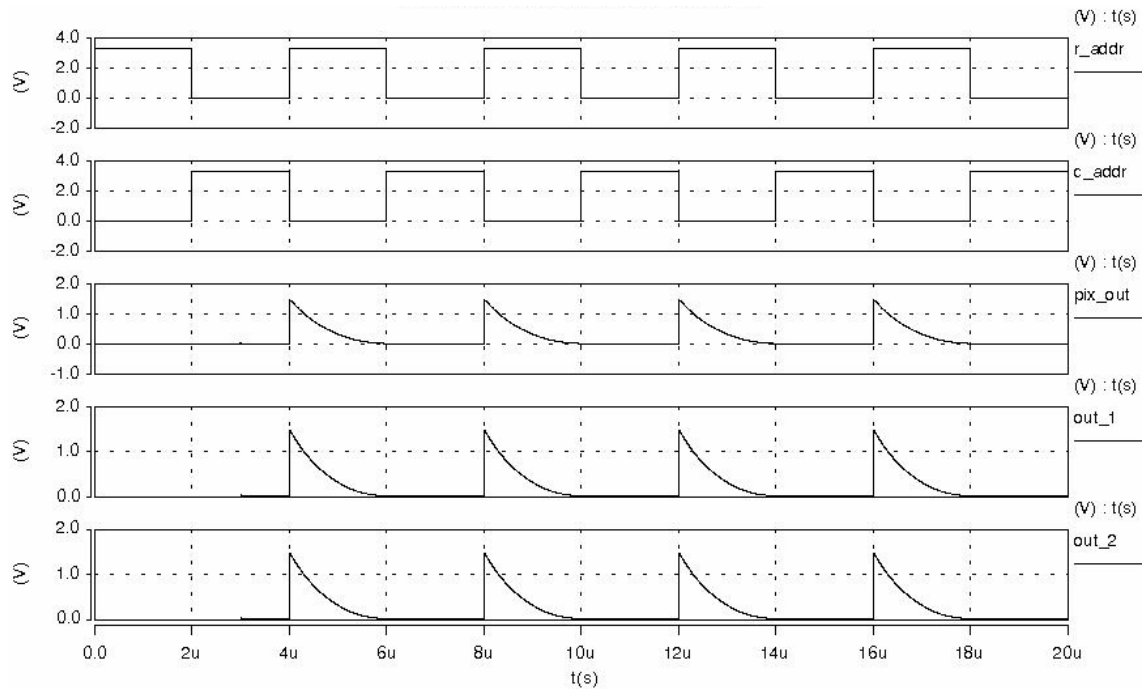


Figura 4-28 – Resultado da simulação completa do protótipo operacional

#### 4.2.8. Análise dos resultados

Na Figura 4-28 os dois primeiros sinais são provenientes do bloco digital, e resumem o funcionamento de todos os componentes responsáveis pela geração e decodificação de endereços. Eles correspondem, respectivamente, aos sinais de *reset* e leitura dos pixels de uma determinada linha da matriz.

Estes sinais são resultantes da atuação de todos os circuitos que compõem o bloco lógico, sendo o último nível de sinais de seleção de linhas e colunas. Ou seja, a presença destes sinais com a temporização correta e isentos de ruídos, garante o perfeito funcionamento de todos os dispositivos lógicos envolvidos.

A terceira forma de onda mostra os sinais de saída de 4 pixels dessa mesma linha, que estão presentes nas entradas dos amplificadores operacionais.

Os dois últimos sinais, capturados nas saídas dos amplificadores, mostram as suas respostas aos sinais do pixel. Estas respostas apresentaram forma de onda sem distorção, com as características elétricas e a resposta em frequência esperadas.



#### 4.2.9. Método para captura de imagens

Uma forma de efetuar a captura de imagens utiliza um microcontrolador com conversor A/D interno e portas de entrada e saída dotado de uma interface de comunicação, serial ou *ethernet*, destinadas à transferência dos dados da imagem a um computador PC para sua apresentação.

O interfaceamento do APS com um microcontrolador genérico é mostrado no diagrama da Figura 4-29.

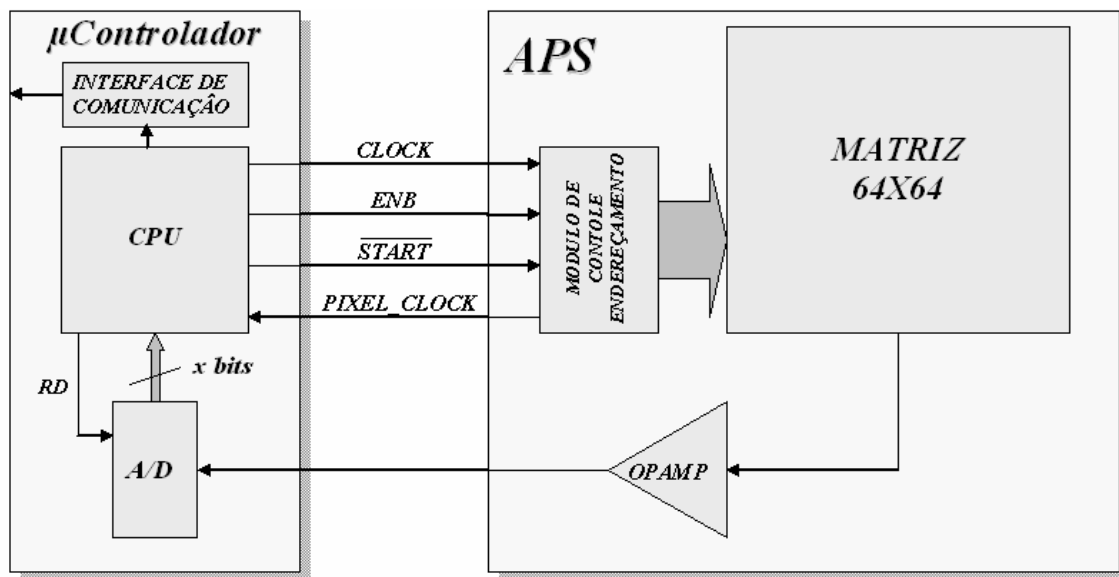


Figura 4-29 – Diagrama de interfaceamento para captura de imagens

Na Figura 4-19, o módulo de controle e endereçamento engloba todos os componentes envolvidos no endereçamento da matriz, e o símbolo OPAMP representa o estágio de saída do circuito integrado.

O microcontrolador envia os sinais de controle de endereçamento da matriz e recebe um sinal de interrupção chamado PIXEL\_CLOCK que determina o instante de leitura do conversor A/D. Os dados digitalizados armazenados em memória são então repassados para o PC através da interface de comunicação.

## 5. Conclusões e trabalhos futuros

O projeto do protótipo de teste do imageador APS em tecnologia 0,35  $\mu\text{m}$  foi descrito, de maneira sucinta no segundo capítulo, enfocando apenas os aspectos necessários para a utilização do circuito em uma montagem experimental de caracterização.

Os resultados obtidos na caracterização elétrica deste protótipo de teste mostraram que a metodologia de extração de parâmetros utilizada alcançou um bom desempenho, pois as variações encontradas entre as medidas reais e as simulações foram inferiores a 10 %, ou seja, percentual menor que as taxas de tolerância dos parâmetros de processo especificadas pela AMS (AMS, 2005b), que em alguns casos atingem valores superiores a 20 %.

Os resultados dos testes de radiação realizados nas amostras construídas em tecnologia 0,6  $\mu\text{m}$  e 0,35  $\mu\text{m}$  constataram, conforme descrito na seção 3.3.3, que a espessura do óxido de porta dos transistores contribui, significativamente, para a sensibilidade do dispositivo à radiação, principalmente no que diz respeito à variação da tensão de limiar. Ou seja, quanto mais espesso for o óxido (0,6  $\mu\text{m}$ , neste caso) maior será a sensibilidade do transistor. Portanto, a variação da tensão de limiar constitui um fator determinante na quantificação desta sensibilidade, e vem sendo amplamente empregada em projetos de medidores de radiação para diversos fins que usam transistores MOS como senso. Outro aspecto importante revelado nos testes de radiação que norteou o projeto do protótipo operacional, foi o fato de que a tecnologia 0,35  $\mu\text{m}$  convencional se mostrou imune ao nível de radiação à que foi submetida nos testes (500 Krad). O que reafirma a questão da relação entre a sensibilidade do dispositivo e a espessura do óxido de porta.

Os resultados da caracterização óptica mostraram que o pixel dotado de 4 fotodiodos obteve o melhor desempenho, pois sua responsividade se manteve alta (acima de 80%) ao longo de toda a faixa de comprimentos de onda testados. Ou seja,

esta estrutura apresentou sensibilidade alta para toda faixa de frequência luminosa testada.

Em função destes resultados foi desenvolvido o projeto do protótipo operacional, utilizando estruturas convencionais e células lógicas padrão, fornecidas pela AMS, na implementação de seus componentes. Com exceção do pixel, que manteve o emprego de estruturas de proteção.

Foram adicionados dois novos circuitos com o propósito de ampliar a autonomia de funcionamento do APS. Um deles é o gerador de endereços que efetua a “varredura” automática da matriz necessitando apenas de dois sinais de controle. O que dispensa o uso de dispositivos de endereçamento externos. O outro circuito é composto por dois amplificadores operacionais que atuam em paralelo (redundantes), ligados a saída do pixel, com propósito de aumentar sua capacidade de carga, o que dispensa o uso de *buffers* externos.

O resultado obtido na simulação completa do protótipo operacional mostrou que o circuito de geração e decodificação de endereços funcionou corretamente, gerando os sinais de escrita e leitura dos pixels (R\_ADDR e C\_ADDR) na seqüência e temporização corretas e isentos de transições espúrias.

Os amplificadores operacionais, configurados como *buffers*, foram capazes de responder a frequência desejada, mantendo a tensão do sinal de saída do pixel, dentro faixa dinâmica especificada sem degradar o sinal, mesmo operando com carga bastante elevada (50pF) e em condições rigorosas de simulação (*worst case*). Portanto, capazes de atender à requisitos rígidos de especificação elétrica.

De maneira geral, as simulações realizadas com o protótipo operacional do imageador APS apresentaram resultados compatíveis com as especificações, não apresentado nenhuma discrepância que pudesse indicar problemas no projeto de algum componente do circuito.

A etapa seguinte do projeto prevê a caracterização do protótipo operacional, descrito no capítulo 4, e a captura de imagens com resolução de 64x64 pixels com 256 tons de cinza. Um método para essa captura de imagens utilizando um microcontrolador é proposto na seção 4.2.9.

## 6. Referências Bibliográficas

AMS, 2005a, *0,35 $\mu$ m CMOS C35 Design Rules*, Áustria Micro Systems AG., Document Eng. 183, Rev. 5.0, August.

AMS, 2005b, *0,35 $\mu$ m CMOS C35 Process Parameters*, ÁustriaMicroSystems AG., Document Eng. 182, Rev. 4.0, December.

ANELLI , G. M., 2000, *Conception et Caracterisation de Circuits lintegres Resistants aux Radiations Pour les Detecteurs de Particules du LHC en Technologies CMOS Submicroniques Profondes*, These de Docteur de L'INPG, Institut National Polytechnique de Grenoble, France.

BOESCH JR., H. E., 1983, "Total dose induced hole trapping and interface state generation in field oxides", *IEEE Transactions on Nuclear Science*, v.NS-31, n.6, p.1273-1278.

BÖTTCHER, S., 1996, *Study of the Radiation Damage in Analog CMOS Pipelines, MOS Transistors, and Capacitors. Ph.D. dissertation*, University of Hamburgo, Hamburgo, Germany.

BOUDENOT, J. C., DALY, E., 1993, "Radiation: Interaction Mechanisms and Environments, New Models of the Earth's Radiation Environment". In: *2nd European Conference on Radiation and its Effects on Components and Systems*, Saint-Malo, France, September.

BRIERE T. M., LII J., PRADO K., GILLIN M. T. et al., 2006, *Single-use MOSFET radiation dosimeters for the quality assurance of megavoltage photon beams*,

*Department of Radiation Physics*, Division of Radiation Oncology, University of Texas, M D Anderson Cancer Center, Houston, TX, USA.

BUCHER, M., LALLEMENT, C., ENZ, C., 1996, "An Efficient Parameter Extraction Methodology for the EKV MOST Model", In: *Proceedings of the IEEE International Conference on Microelectronic Test Structures*, Vol. 9, pp. 145-150, March.

BUCHER, M., LALLEMENT, C., ENZ, C., THÉODOLOZ, F. et al., 1997, *The EPFL-EKV MOSFET Model Equations for Simulation*. Electronics Laboratories, Swiss Federal Institute of Technology (EPFL), Lausanne, Switzerland, v. 2.6, June.

CHAPMAN, J. S., 2002, *MATLAB Programming for Engineers*. 2 ed. New York, Brooks/Cole.

CHEUNG, D., 2002, *CMOS active pixel sensor designs for fault tolerance and background illumination subtraction*. M.Sc. dissertation, B.A.Sc. Simon Fraser University.

CLEIN, D., 2000, *CMOS IC LAYOUT Concepts, Methodologies, and Tools*. Butterworth-Heinemann, Woburn, Massachusetts.

ENZ, C. C., KRUMMENACHER, F., VITTOZ, E. A., 1995, "An Analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-Voltage and Low-Current Applications", *Analog Integrated Circuits and Signal Processing*, n. 8, pp. 83-114, July.

ESA, 1993, *RADIATION TESTING*. European Space Agency, PSS-01-609, 1 ed., May.

ESA, 2003, *TOTAL DOSE STEADY-STATE IRRADIATION TEST METHOD*. European Space Agency, ESCC Detail Specification No. 22900, August.

FISH, A., YADID-PECCHT, O., 2004, "Active pixel sensor design: from pixels to systems", In: *CMOS imagers: from phototransduction to image process*, Norwell, MA, USA, Kluwer Academic Publishers, pp. 99-139.

FOSSUM E., 1993, "Active Pixel Sensor: Are CCD's Dinosaurs?" In: *Proc. SPIE Charged-Coupled Devices and Solid State Optical Sensors III*, vol. 1900, San Jose, CA, USA, pp. 2-14.

GIRALDO, A., 1998, *Evaluation of deep submicron technologies with radiation tolerant layout for electronics in LHC environments*. Ph.D. dissertation, University of Padova, Padova, Italy.

LIMA, K. G., 2006, *Estruturas APS resistentes à radiação para aplicações espaciais*, Dissertação M.Sc., COPPE/UFRJ, RJ, Brasil.

KWOK, T., ZHONG, J. J., WILKINSON T. *et al.*, 2002, *Readout circuit for CMOS active pixel image sensor*, *Electronics Letters* v. 38, n. 7, March.

MA, T. P., DRESSENDORFER, P. V., 1989, *Ionizing Radiation Effects in MOS Devices & Circuits*. New York, J. Wiley & Sons.

MULLER, R. S., KAMINS, T. I., 1986, *Device Electronics for Integrated Circuits*. 2 ed. New York, J. Wiley & Sons.

SCHWANK, J. R., 1994, "Basic Mechanisms of Radiation Effects in the Natural Space Environment". *IEEE Nuclear and Space Radiation Effects Conference*, Tucson, Arizona, USA, July.

SWE T. N., YEO K.S., 2001, "An Accurate Photodiode Model for DC and High Frequency SPICE Circuit Simulation," In: *Tech Proc. of the 2001 International Conference on Modelling and Simulation of Microsystems*, Hilton Head Island, South Carolina, pp. 362-365, March.

SZE, S. M., 1981, *Physics of Semiconductor Devices*. New York, Wiley & Sons.

TSIVIDIS, Y., 1999, *Operation and Modeling of The MOS Transistor*. 2 ed. New York, McGraw-Hill.

TURCHETTA, R., FRENCH, M., MANOLOPOULOS, S. et al., 2003, *Monolithic Active Pixel Sensors (MAPS) in a VLSI CMOS Technology*, Nuclear Instruments and Methods in Physics Research, A 501, pp. 251–259.

WINOKUR, P. S., 1989, "Radiation-Induced Interface Traps". In: *Ionizing Radiation Effects in MOS Devices & Circuits*, edited by T. P. Ma and P. V. Dressendorfer, J., New York, Wiley & Sons.

WEIDONG L., XIAODONG J., JAMES C. et al., 1999, *BSIM3v3.2.2 MOSFET Model Users Manual*, Department of Electrical Engineering and Computer Sciences University of California, Berkeley, USA.



YANG, D., TIAN, H., FOWLER, B., et. al., 1998, *Characterization of CMOS Image Sensor with Nyquist Rate Pixel Level ADC*, Information Systems Laboratory, Stanford University, Stanford, CA, USA.

## Apêndices

### Apêndice 1: Resultados da caracterização elétrica

- **Curvas para extração da corrente específica**

O gráfico da Figura A1-1 apresenta uma curva  $\sqrt{I_D} \times V_S$ , utilizada na de terminação da corrente específica, extraída de um transistor convencional.

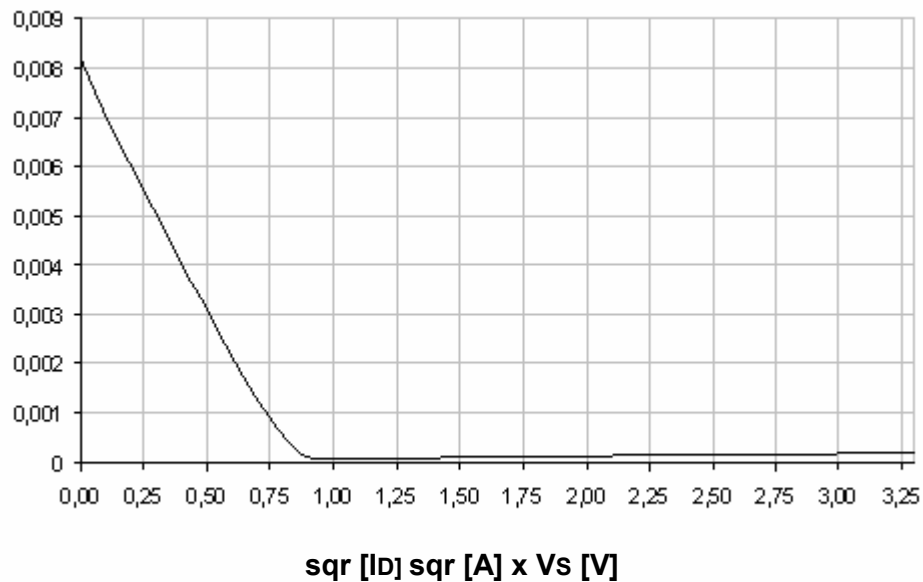


Figura A1-1 – Curva de extração da corrente  $I_S$  de um transistor convencional.

O gráfico da Figura A1-2 apresenta uma curva  $\sqrt{I_D} \times V_S$  extraída de um transistor resistente à radiação.

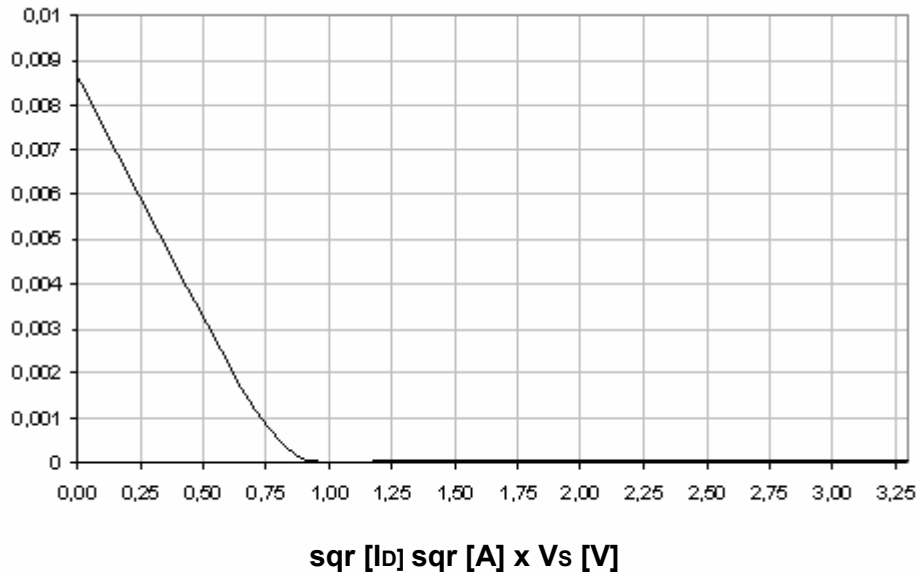


Figura A1-2 – Curva de extração da corrente  $I_S$  de um transistor resistente à radiação.

- **Curvas da tensão de *pinch-off***

As curvas apresentadas a seguir mostram a variação da tensão de *pinch-off*  $V_P$  (medida no terminal de fonte do transistor) em função da tensão de porta  $V_G$  de transistores convencionais e transistores resistentes à radiação, com diferentes geometrias, as quais são utilizadas nas extrações dos parâmetros  $V_{TO}$ ,  $GAMMA$ ,  $PHI$ ,  $WETA$  e  $LETA$ .

O gráfico da Figura A1-3 mostra a curva da tensão de *pinch-off* de um transistor convencional grande com comprimento de canal  $L = 16 \mu m$  e largura de canal  $W = 16 \mu m$ .

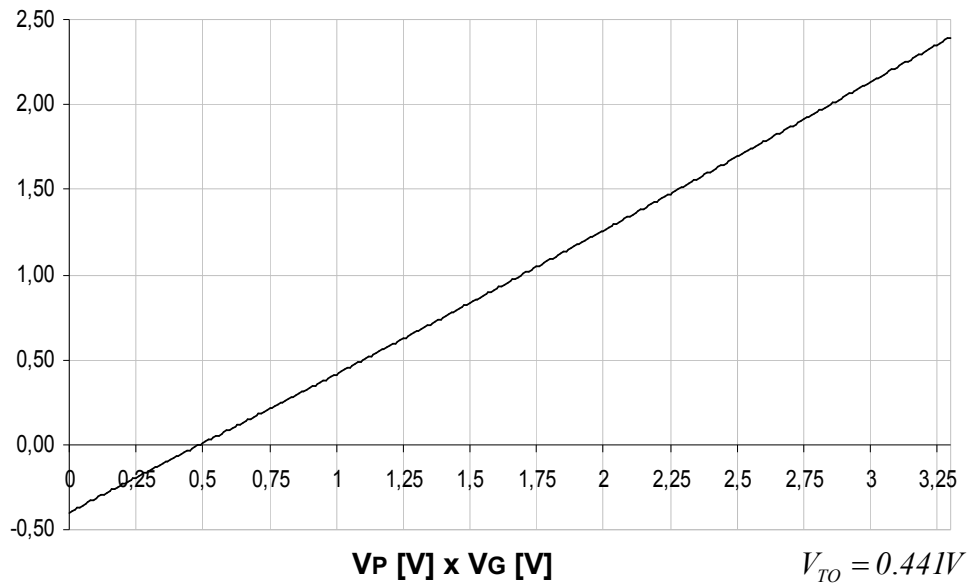


Figura A1-3 – Tensão de *pinch-off* de transistor convencional grande.

A Figura A1-4 apresenta a curva  $V_p \times V_G$  de um transistor convencional curto com comprimento de canal  $L = 0,35 \mu m$  e largura de canal  $W = 7 \mu m$ .

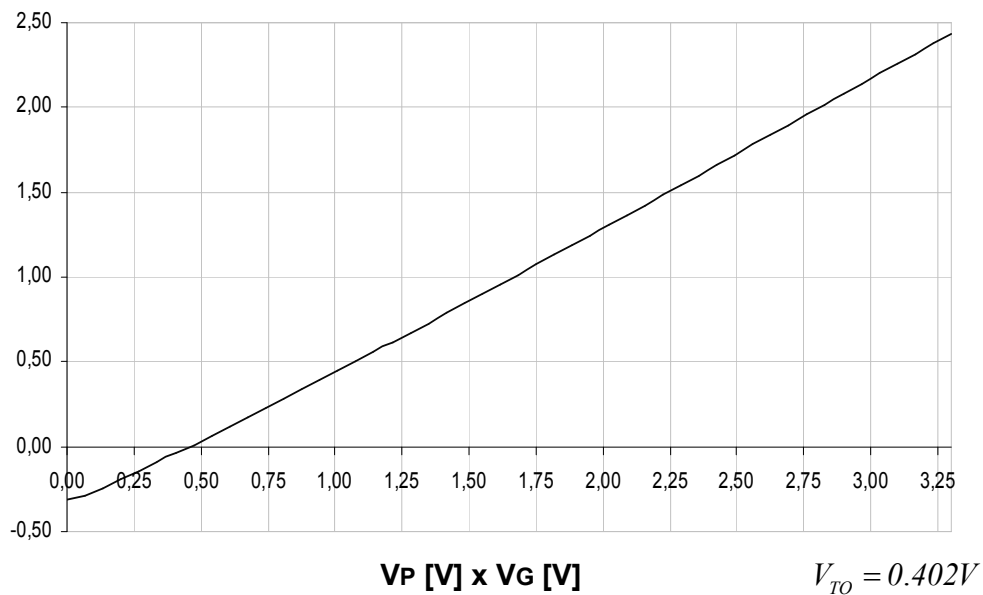


Figura A1-4 - Tensão de *pinch-off* de transistor convencional curto

O gráfico da Figura A1-5 mostra a curva da tensão de *pinch-off* de um transistor convencional estreito, com comprimento de canal  $L = 0,9\mu m$  e largura de canal  $W = 11,8\mu m$ .

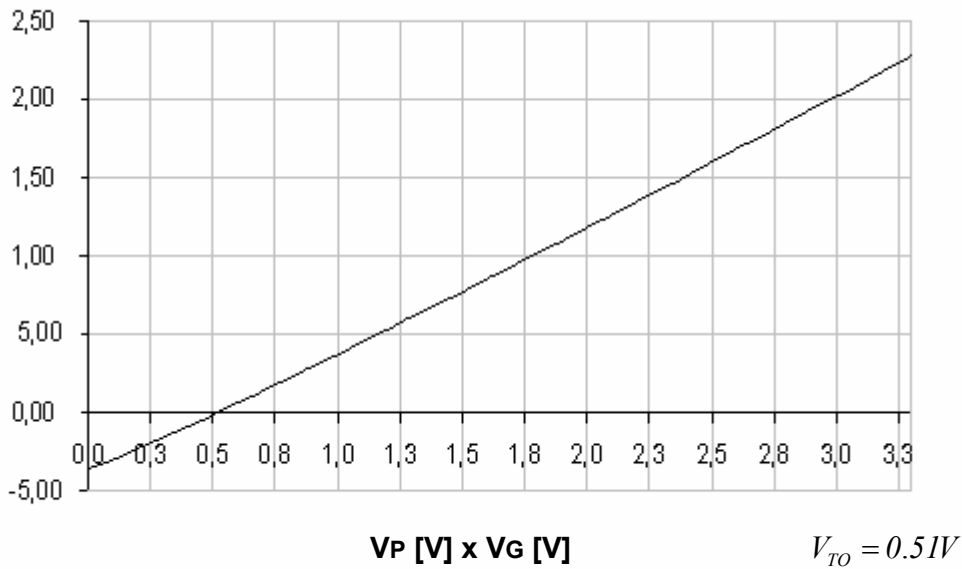


Figura A1-5 – Tensão de *pinch-off* de transistor convencional estreito

A Figura A1-6 apresenta a curva  $V_p \times V_G$  de um transistor NMOS resistente à radiação com comprimento de canal  $L = 25\mu m$  e largura de canal  $W = 28,6\mu m$ .

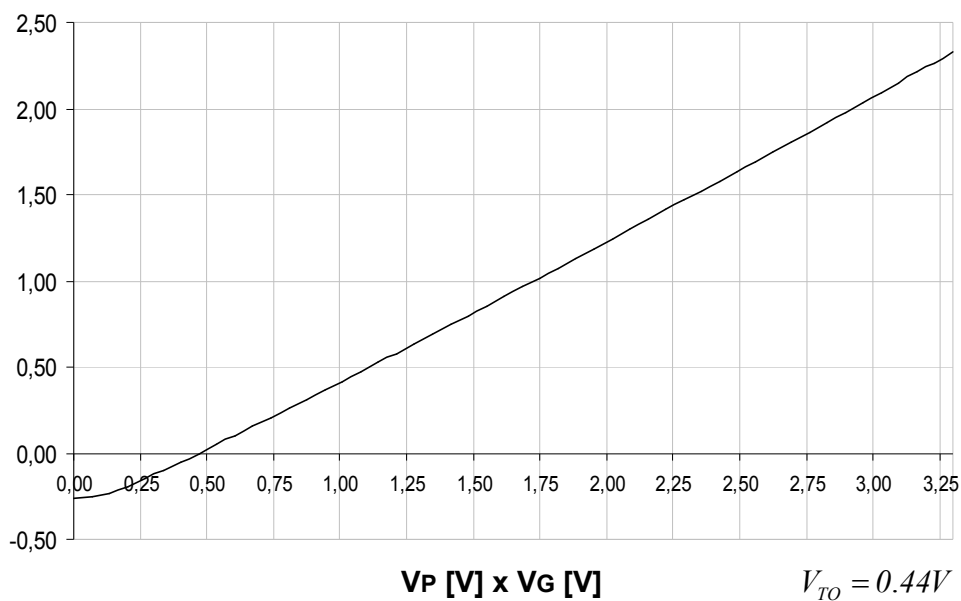


Figura A1-6 – Tensão de *pinch-off* de transistor NMOS resistente à radiação grande

A Figura A1-7 apresenta a curva de um transistor NMOS resistente à radiação com comprimento de canal  $L = 21,8 \mu m$  e largura de canal  $W = 0,4 \mu m$ .

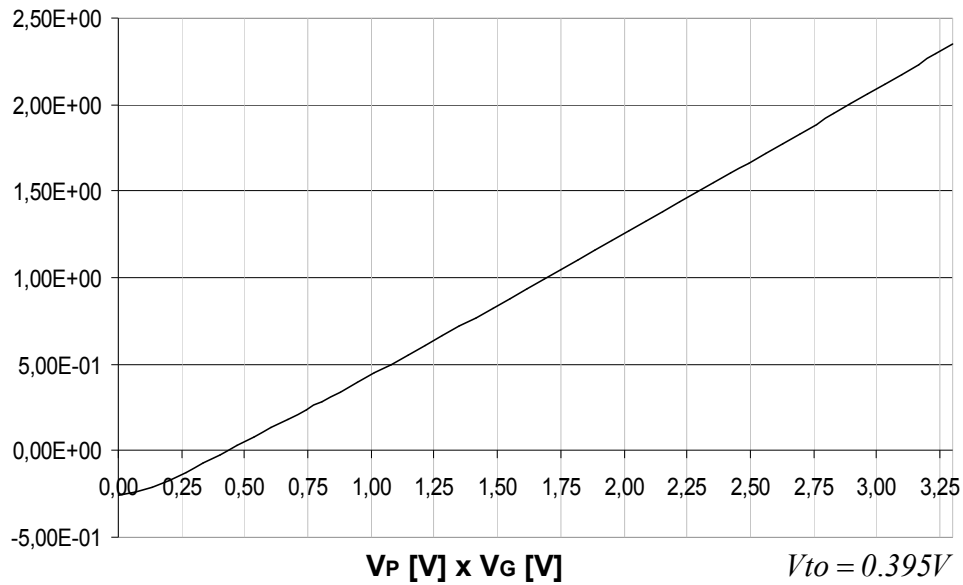


Figura A1-7 – Tensão de *pinch-off* de transistor NMOS resistente à radiação curto

- **Curvas para extração de *KP* e *THETA***

O gráfico da Figura A1-8 apresenta a curva da corrente de dreno em função da tensão de porta extraída de um transistor convencional de tamanho  $16 \mu m \times 16 \mu m$ .

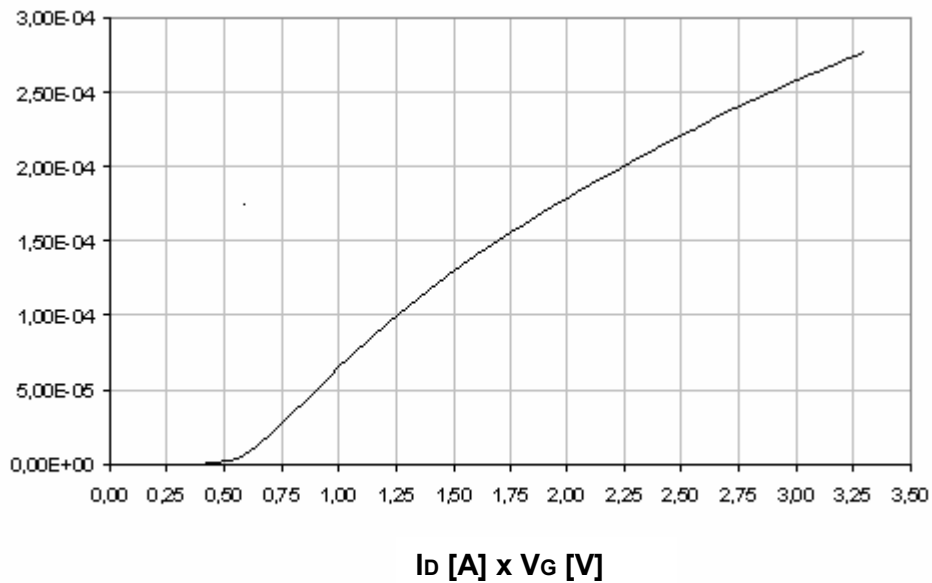


Figura A1-8 – Curva para determinação *KP* e *THETA* de um transistor convencional

O gráfico da Figura A1-9 apresenta a curva  $I_D \times V_G$  obtida de um transistor resistente à radiação de tamanho  $26,8\mu m \times 25\mu m$ .

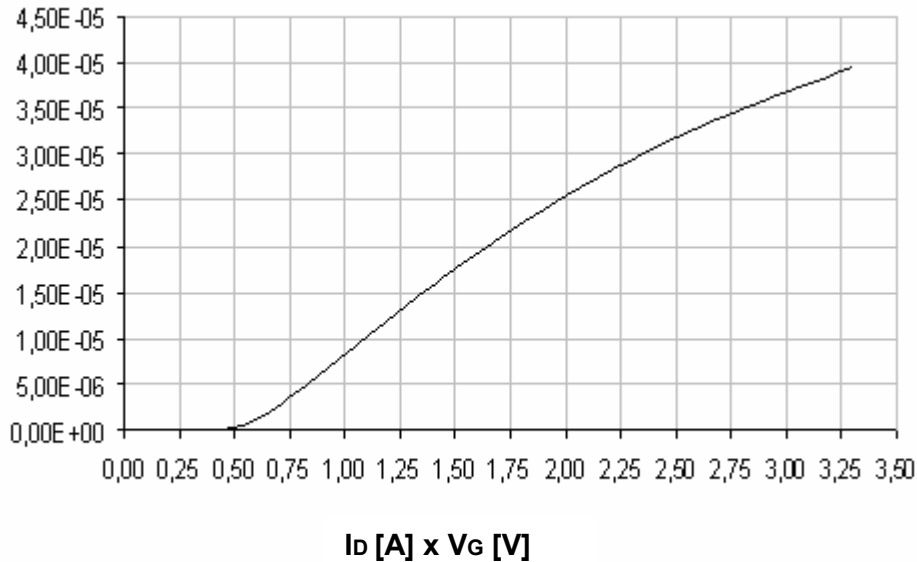


Figura A1-9 – Curva para determinação de  $KP$  e  $THETA$  de um transistor resistente à radiação.

- **Curvas características dos transistores**

As curvas apresentadas a seguir são curvas características de transistores NMOS, medidas e simuladas, que permitem uma análise mais precisa dos resultados da caracterização, pois mostram com bastante definição o comportamento em cada região de operação do transistor. As curvas apresentam a variação da corrente de dreno em função da elevação da tensão de dreno para diferentes valores da tensão de porta. O terminal fonte do dispositivo é conectado a terra.

O circuito e os procedimentos utilizados nesta medida são os mesmos empregados na extração do parâmetro  $LAMBDA$ , apresentados na seção 3.2.3.5.

- **Transistores grandes**

Conforme já mencionado anteriormente, na tecnologia  $0,35\mu m$ , um transistor é considerado grande se a largura e o comprimento do canal forem superiores a  $10\mu m$ . Portanto, para obter as curvas simuladas, foram utilizados um transistor convencional com largura e comprimento iguais a  $16\mu m$  e um transistor resistente à radiação com a

largura de  $26,8\mu\text{m}$  e o comprimento de  $25\mu\text{m}$ . A Figura A1-10 apresenta as curvas medidas e simuladas de um transistor convencional de tamanho  $16\mu\text{m} \times 16\mu\text{m}$ .

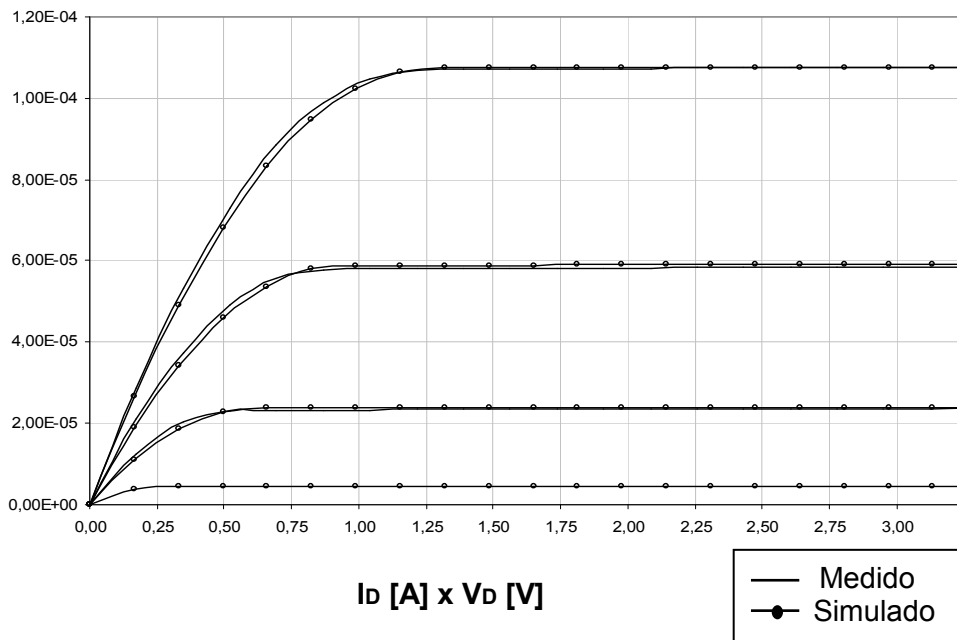


Figura A1-10 – Curvas medidas e simuladas de um transistor convencional grande.

A Figura A1-11 apresenta as curvas medidas e simuladas de um transistor resistente à radiação com dimensões de  $26,8\mu\text{m} \times 25\mu\text{m}$ .

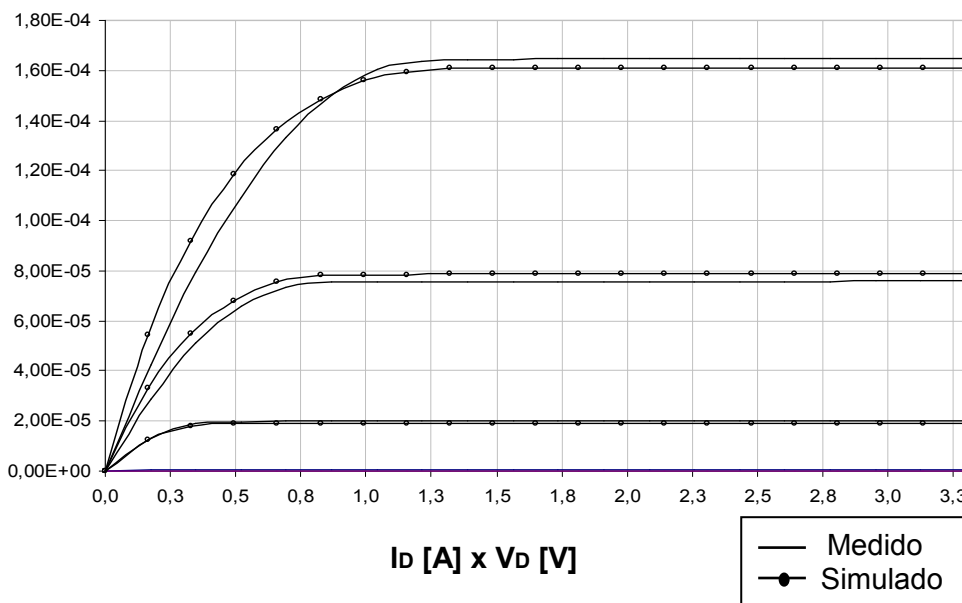


Figura A1-11– Curvas medidas e simuladas de um transistor resistente à radiação grande.



- **Transistores curtos e estreitos**

A Figura A1-12 apresenta as curvas obtidas de um transistor convencional curto, com dimensões  $W = 7\ \mu\text{m}$  e  $L = 0,35\ \mu\text{m}$ .

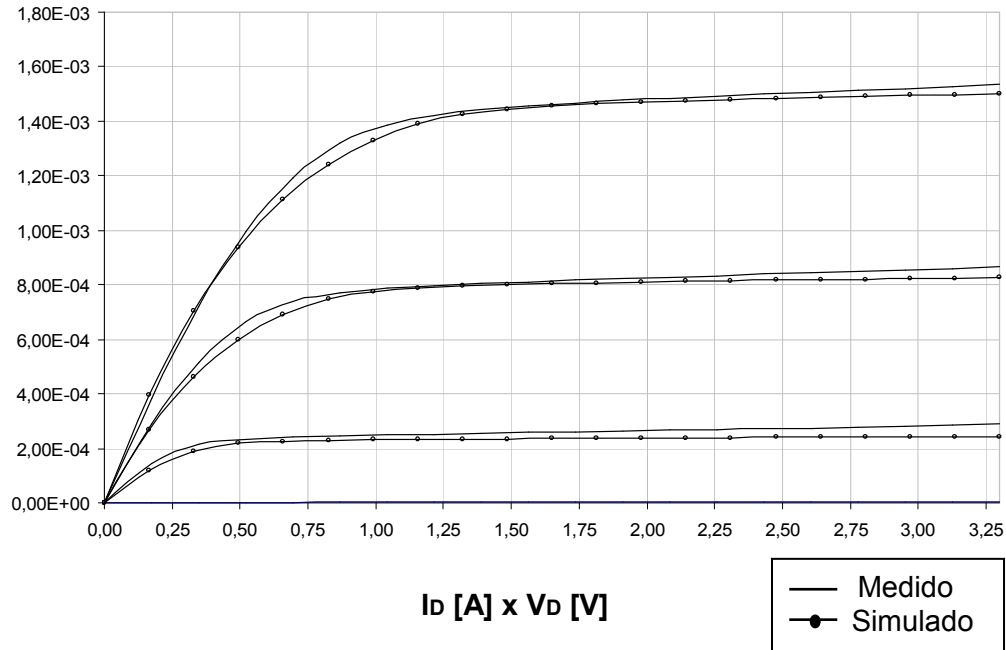


Figura A1-12 – Curvas medidas e simuladas de um transistor convencional curto.

O gráfico da Figura A1-13 de um transistor resistente à radiação curto com dimensões de canal de  $W = 25\ \mu\text{m}$  e  $L = 0,4\ \mu\text{m}$ .

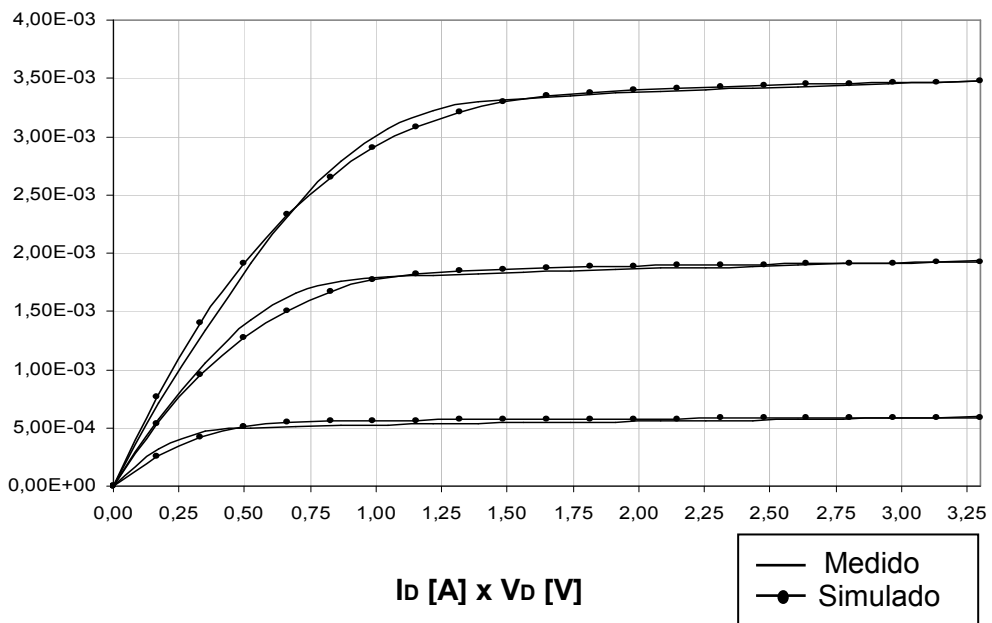


Figura A13 – Curvas medidas e simuladas de um transistor resistente à radiação curto.

A Figura A1-14 apresenta as curvas obtidas de um transistor convencional estreito, de dimensões  $W = 0,9\mu m$  e  $L = 11,2\mu m$ .

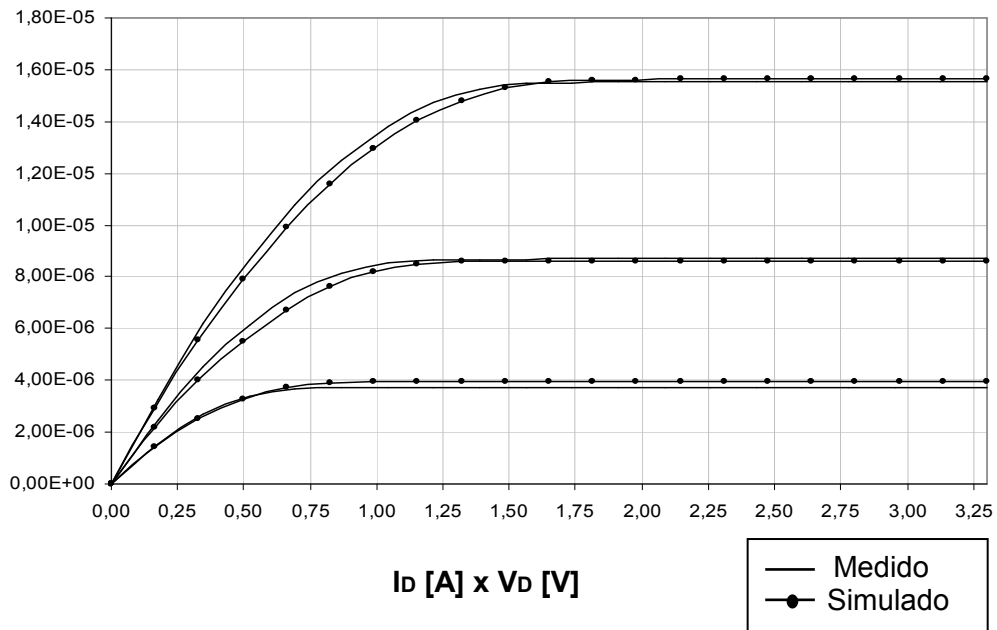


Figura A1-14 – Curvas medidas e simuladas de um transistor convencional estreito.

## Apêndice 2: Resultados dos testes de radiação

Este apêndice apresenta as curvas obtidas no teste de exposição à radiação do protótipo de teste do imageador APS.

### ➤ Resultados dos testes do protótipo em tecnologia 0,6 $\mu$ m

Os gráficos das figuras apresentadas a seguir mostram as curvas de variação da tensão de limiar e corrente de fuga e, também, curvas de variação da máxima inclinação de  $I_D \times V_G$  (corrente de dreno em função da tensão de porta) de transistores NMOS convencionais de tamanho  $20 \times 20 \mu\text{m}$  e de tamanho  $8,0 \times 0,6 \mu\text{m}$ , respectivamente.

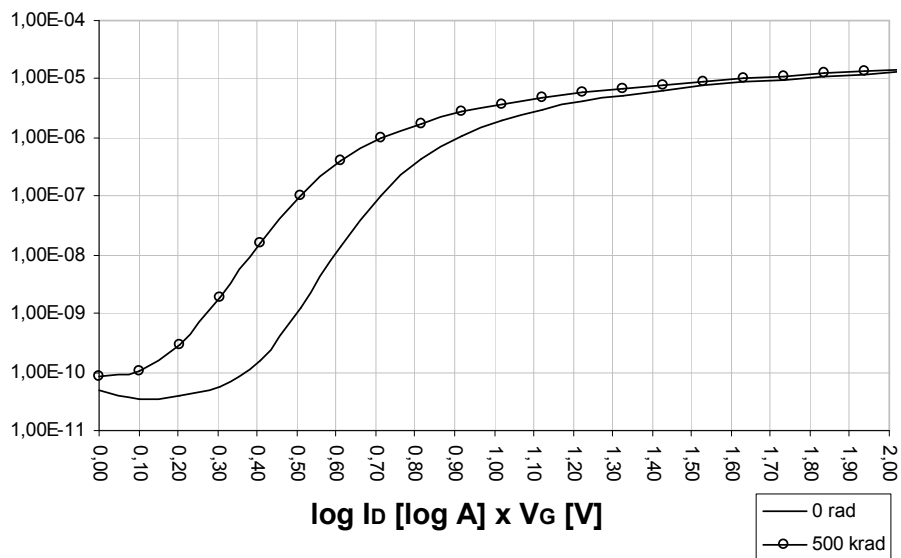


Figura A2-1 – Tensão de limiar e corrente de fuga de um transistor convencional de  $20 \times 20 \mu\text{m}$

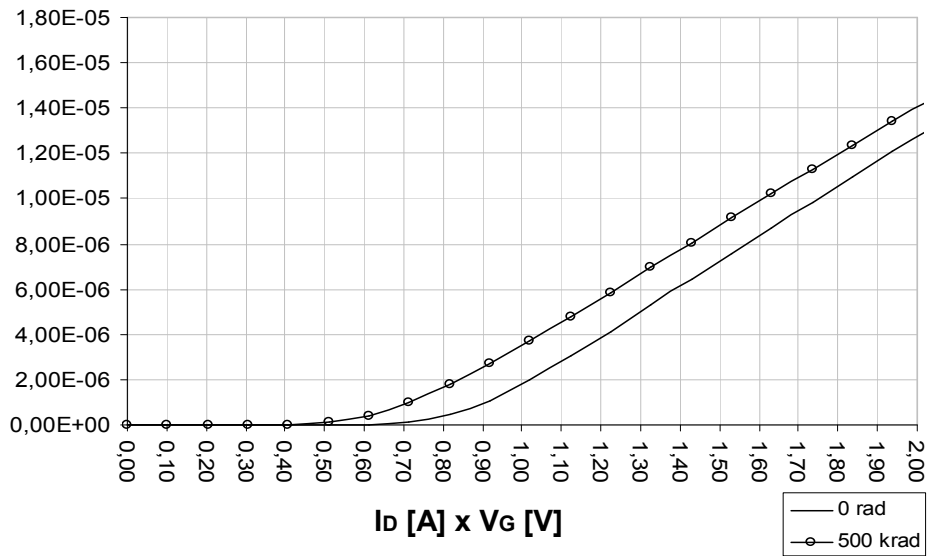


Figura A2-2 – Região de máxima inclinação de  $I_D \times V_G$  de um transistor convencional de  $20 \times 20 \mu m$

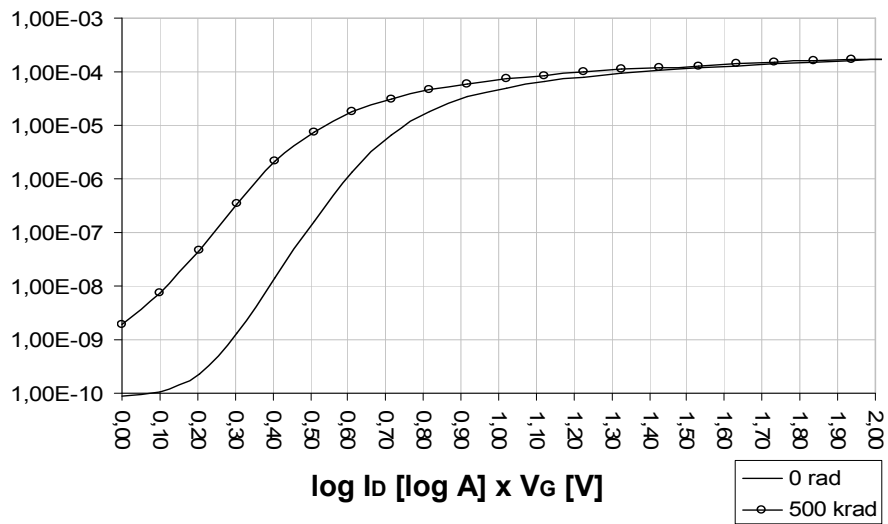


Figura A2-3 – Tensão de limiar e corrente de fuga de um transistor convencional de  $8,0 \times 0,6 \mu m$

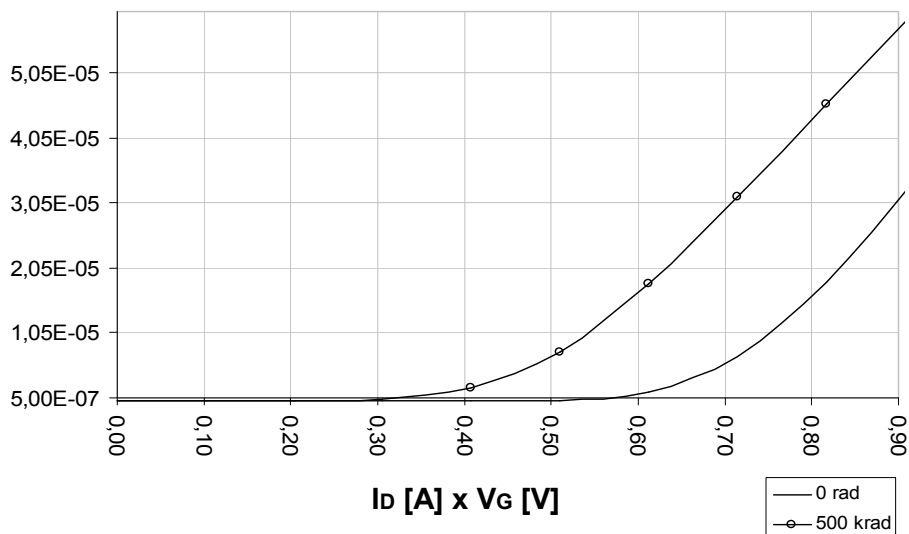


Figura A2-4 – Região de máxima inclinação de  $I_D \times V_G$  de um transistor convencional de  $8,0 \times 0,6 \mu m$

➤ **Resultados dos testes do protótipo em tecnologia  $0,35 \mu m$**

O ambiente de teste e os procedimentos adotados nos testes do chip protótipo desenvolvido em tecnologia  $0,35 \mu m$  são os mesmos empregados no item anterior. Sendo que, neste caso, foram traçadas também as curvas características dos transistores. Estas curvas, que relacionam a corrente e a tensão de dreno com a tensão de porta do dispositivo, não têm o propósito de servir de subsídio para extração de parâmetros, porém fornecem informações adicionais do comportamento geral dos transistores, convencionais e resistentes à radiação, antes e depois de serem irradiados.

Os gráficos mostrados a seguir apresentam, respectivamente, as curvas extraídas de transistores convencionais e transistores resistentes à radiação, com diferentes geometrias.



- **Transistores convencionais**

Foram submetidos aos testes de radiação transistores de canal grande e transistores de canal curto.

As curvas a seguir foram extraídas de transistores medindo  $25\ \mu\text{m}$  de largura e  $25\ \mu\text{m}$  de comprimento e, transistores com largura igual a  $7,0\ \mu\text{m}$  e o comprimento de  $0,35\ \mu\text{m}$ .

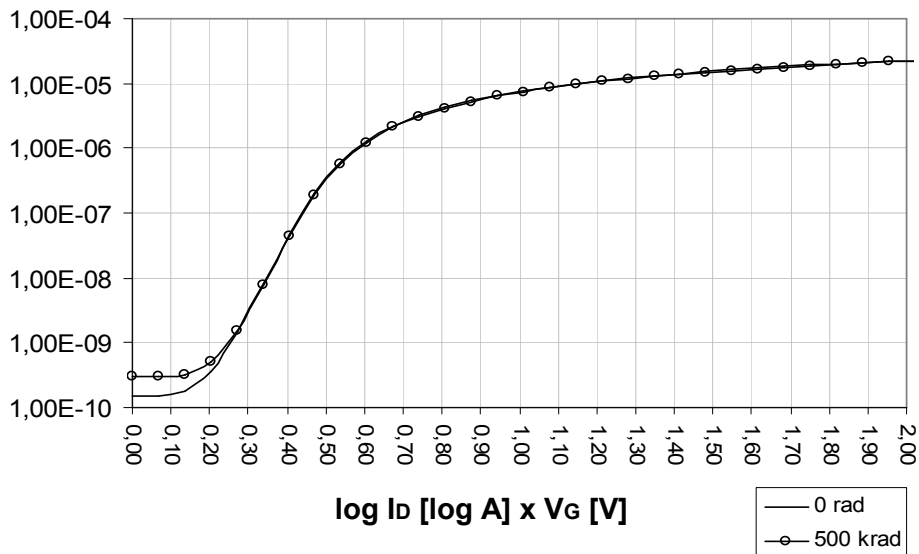


Figura A2-5 – Tensão de limiar e corrente de fuga de um transistor convencional de  $25 \times 25\ \mu\text{m}$

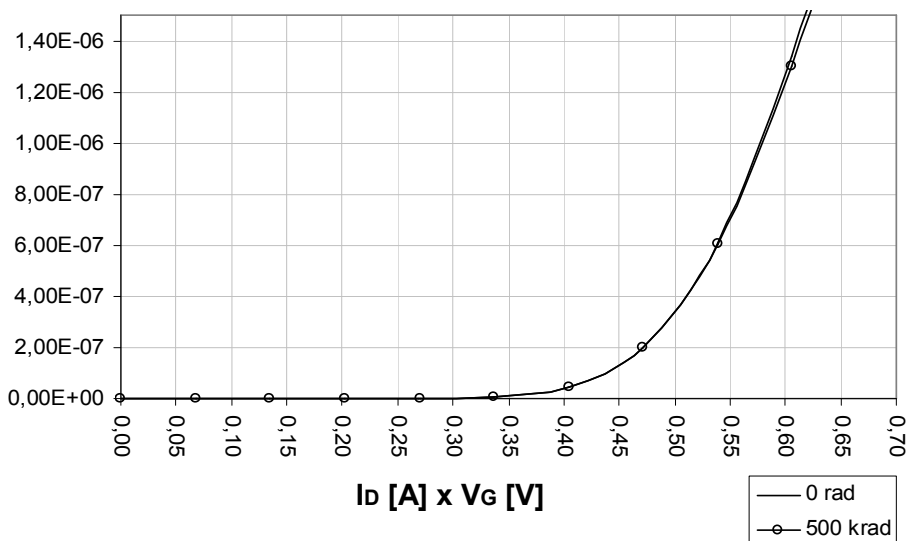


Figura A2-6 – Região de máxima inclinação de  $I_D \times V_G$  de um transistor convencional de  $25 \times 25\ \mu\text{m}$

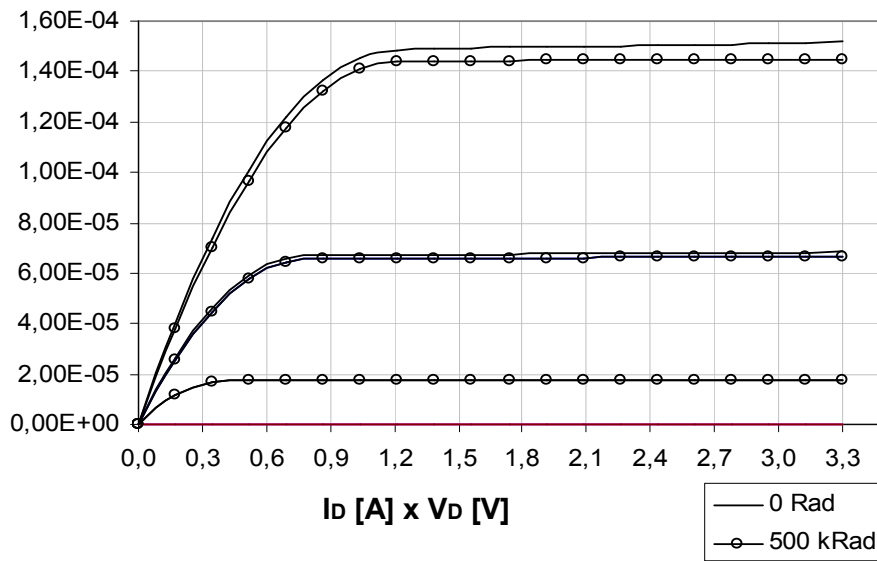


Figura A2-7 – Curva característica de um transistor convencional de  $25 \times 25 \mu m$

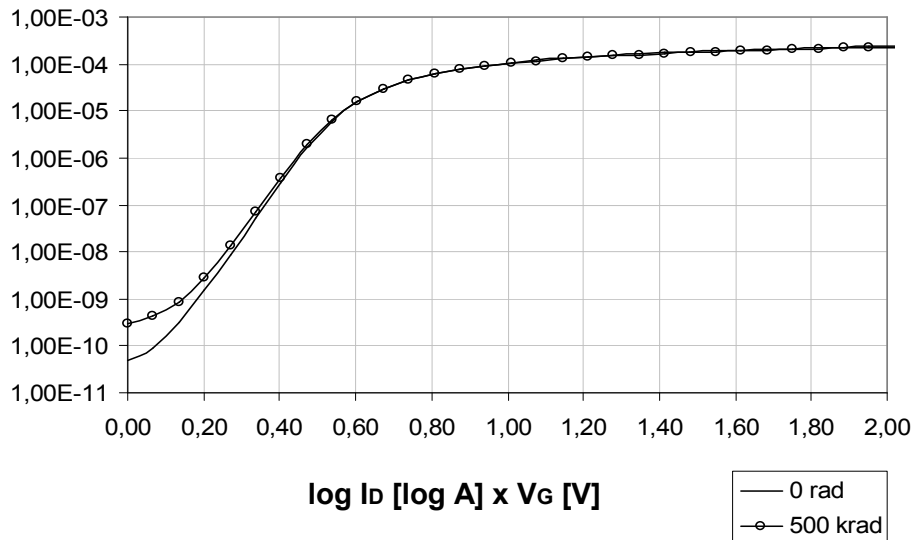


Figura A2-8 – Tensão de limiar e corrente de fuga de um transistor convencional de  $7,0 \times 0,35 \mu m$



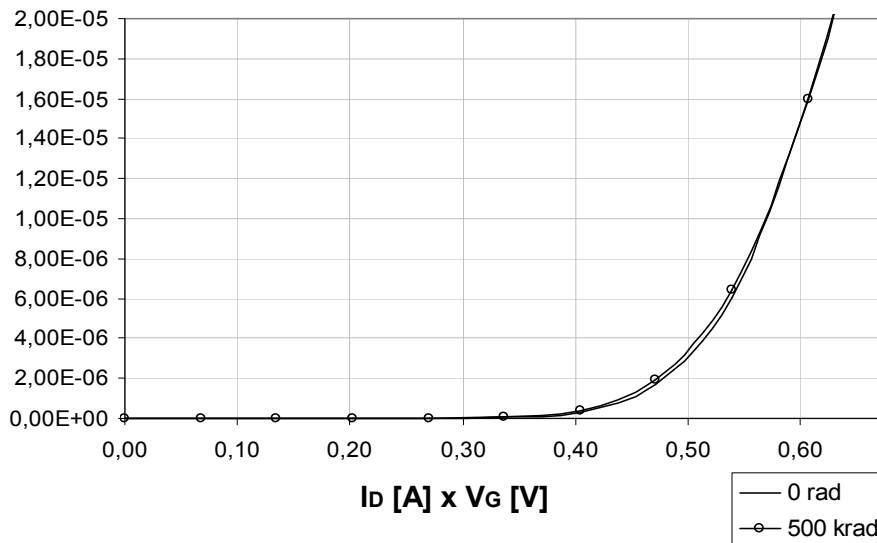


Figura A2-9 – Região de máxima inclinação de  $I_D \times V_G$  de um transistor convencional de  $7,0 \times 0,35 \mu\text{m}$

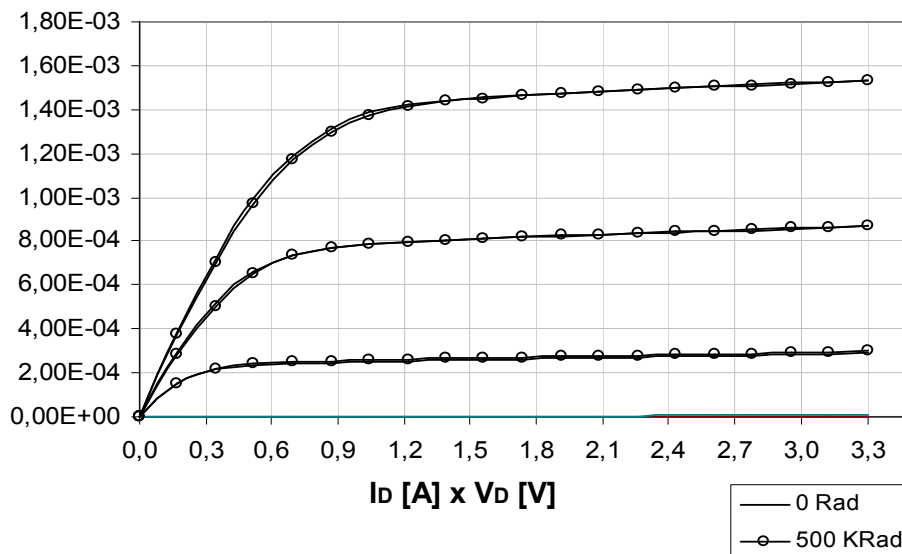


Figura A2-10 – Curva característica de um transistor convencional de  $7,0 \times 0,35 \mu\text{m}$

- **Transistores resistentes à radiação**

Nos testes realizados em transistores resistentes à radiação foram empregados dispositivos com duas geometrias diferentes, ou seja, transistores grandes e transistores curtos. Diversas amostras foram testadas e os seus comportamentos, antes e depois da exposição à radiação, foram registrados nas curvas apresentadas a seguir.

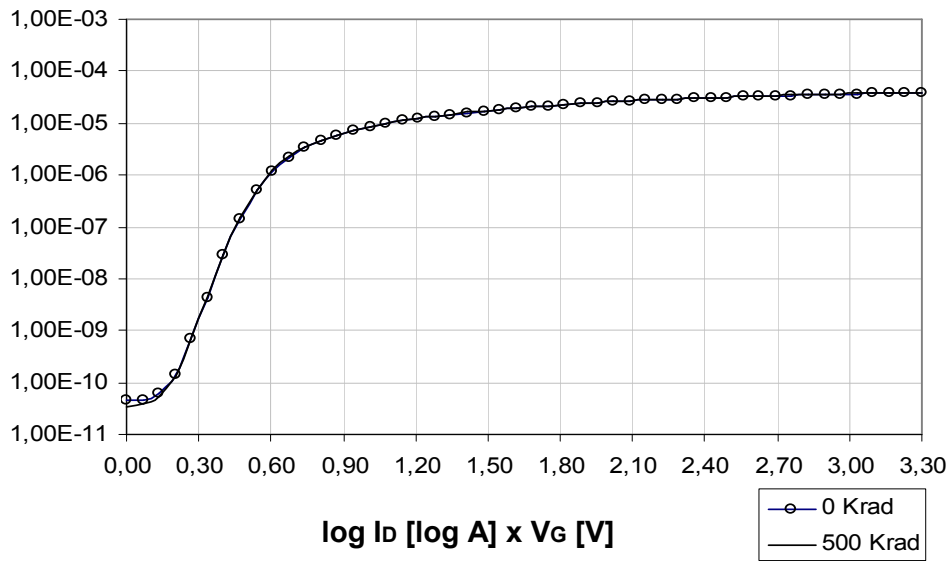


Figura A2-11 – Tensão de limiar e corrente de fuga de um transistor resistente à radiação  $26,8 \times 25 \mu m$

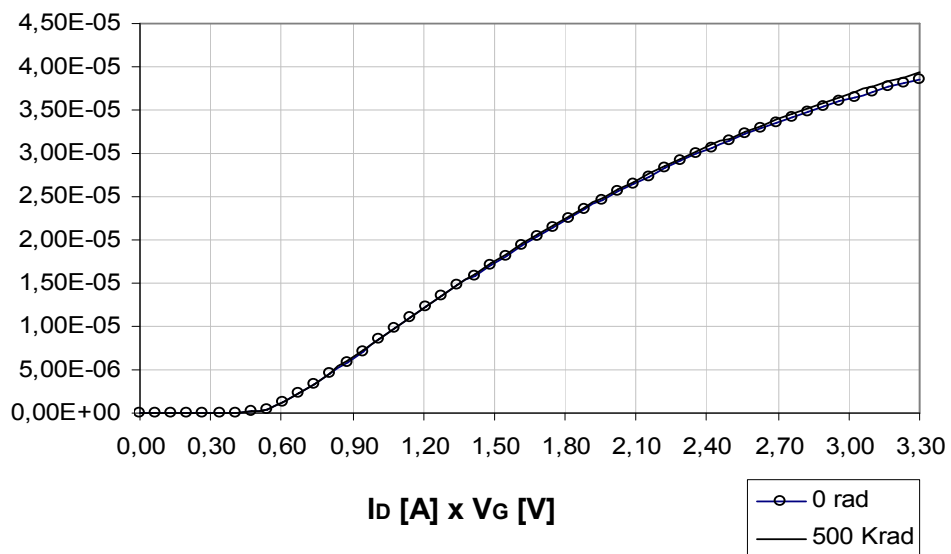


Figura A2-12 – Região de máxima inclinação de  $I_D \times V_G$  de um transistor resistente à radiação de  $26,8 \times 25 \mu m$

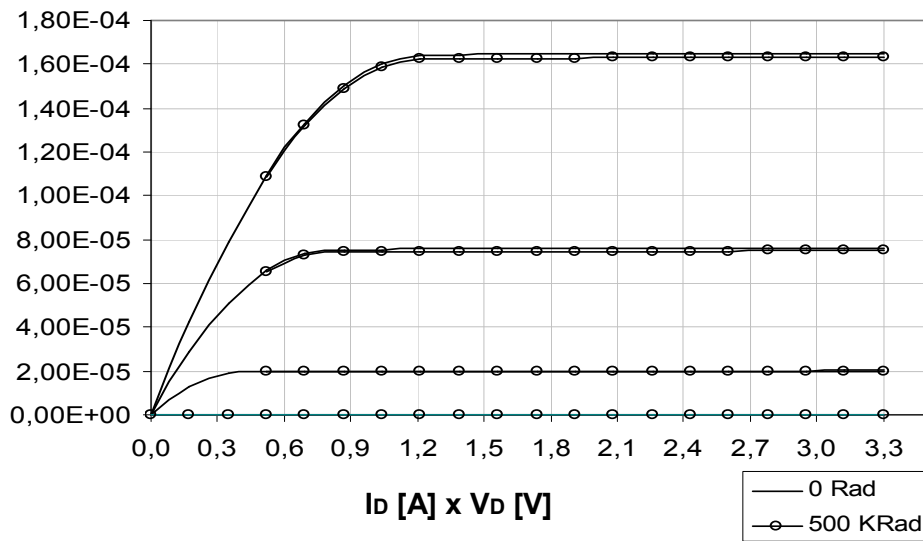


Figura A-13 – Curva característica de um transistor resistente à radiação de  $26,8 \times 25 \mu m$

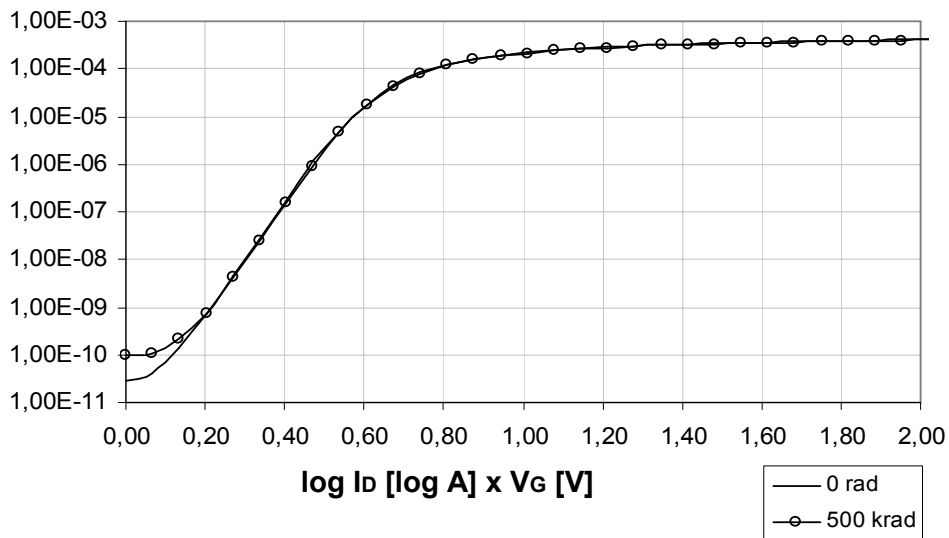


Figura A2-14 – Tensão de limiar e corrente de fuga de um transistor resistente à radiação de  $21,4 \times 0,4 \mu m$

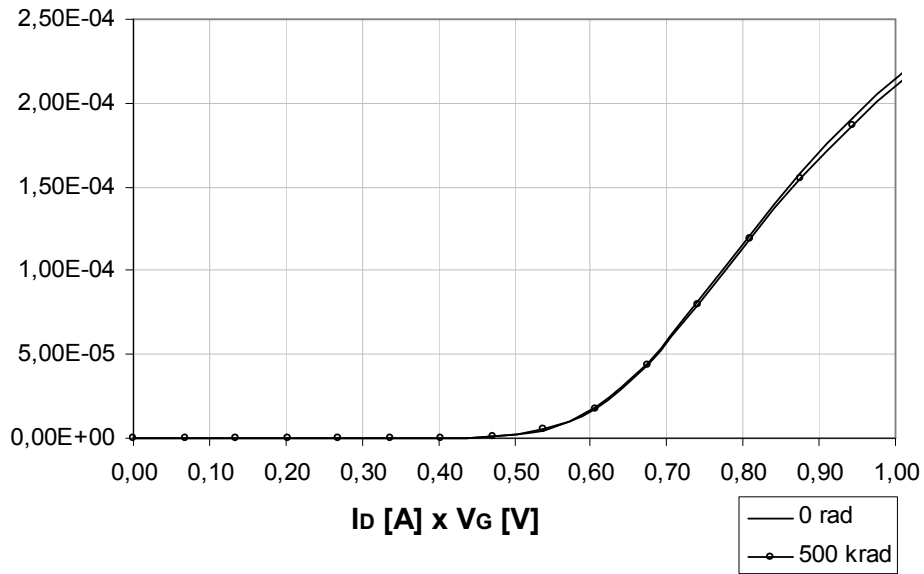


Figura A-15 – Região de máxima inclinação de  $I_D \times V_G$  de um transistor resistente à radiação de  $21,4 \times 0,4 \mu m$

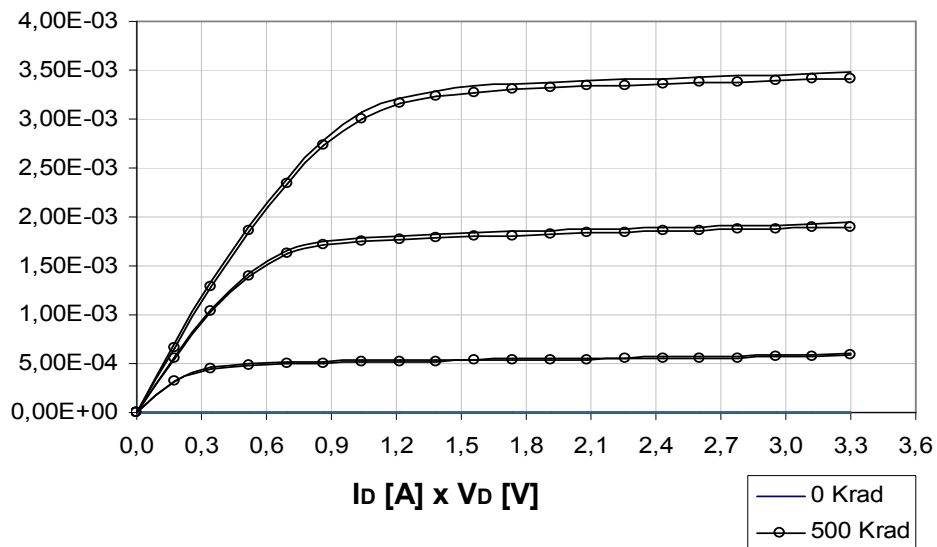


Figura A-16 – Curva característica de um transistor resistente à radiação de  $21,4 \times 0,4 \mu m$

### Apêndice 3: Simulações digitais e analógicas do protótipo operacional

#### ➤ Simulação dos circuitos digitais

O circuito utilizado para realizar esta simulação é mostrado na Figura A3-1.

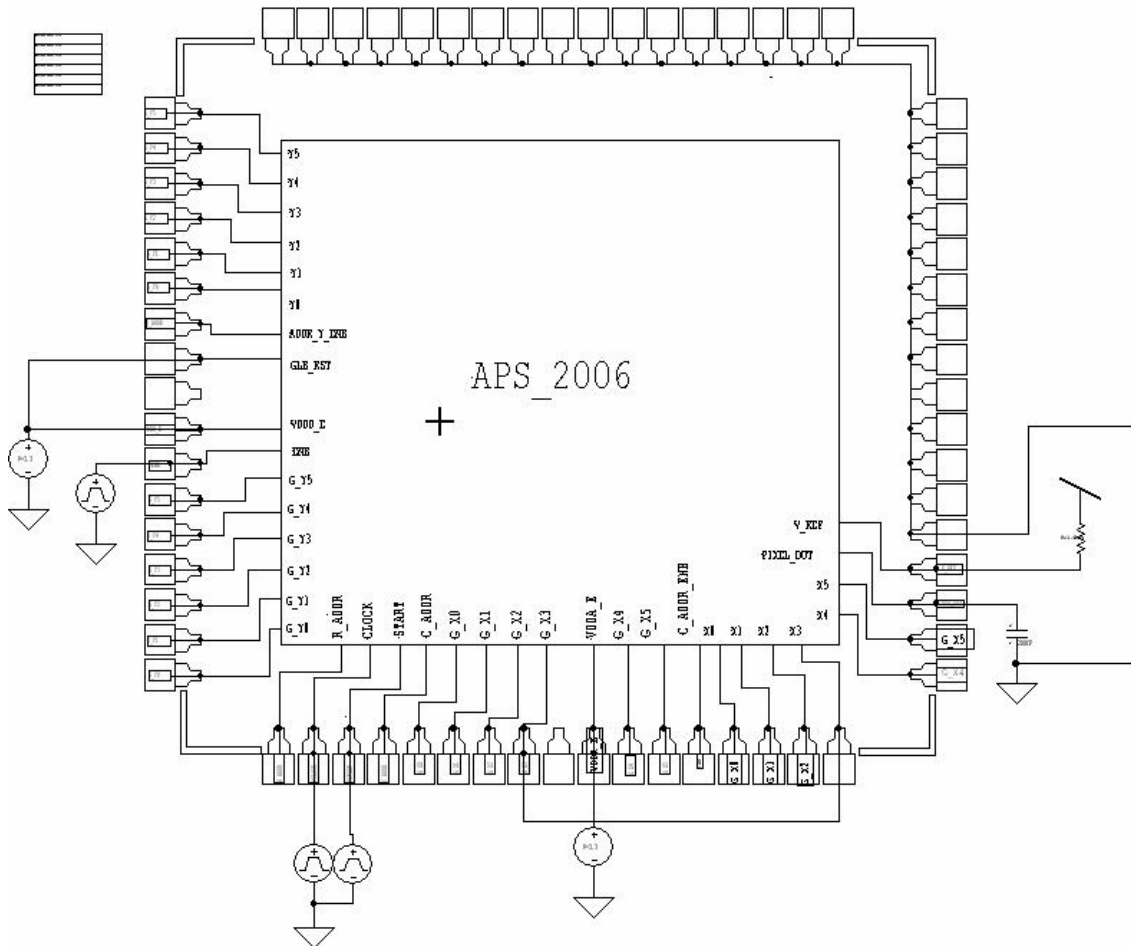


Figura A3-1- Esquema utilizado na simulação dos circuitos lógicos

O esquema utiliza fontes DC para alimentar os componentes envolvidos na simulação e fontes de pulsos para simular os sinais necessários para o funcionamento de todo o bloco responsável pela geração e controle de endereçamento da matriz (CLOCK e START e ENB). Na simulação o circuito operou em modo automático de endereçamento, ou seja, com a saída do bloco gerador de endereço e controle ligada a entrada do bloco *buffer* de endereço e controle (Figura 4-25).

- **Resultado da simulação**

O diagrama de tempo da Figura A3-2 apresenta uma amostra da resposta obtida na simulação dos circuitos lógicos.

O período de tempo programado entre cada acesso, que compreende a inicialização e leitura do pixel, foi de 4  $\mu$ s (250 KHz). Este período corresponde aproximadamente a 60 varreduras completas da matriz para 4096 pixels. Ou seja, 60 quadros (*frames*) por segundo.

Esta verificação se estendeu a todas as linhas e colunas da matriz, sendo observado o mesmo comportamento no diz respeito à temporização e ausência de ruídos.

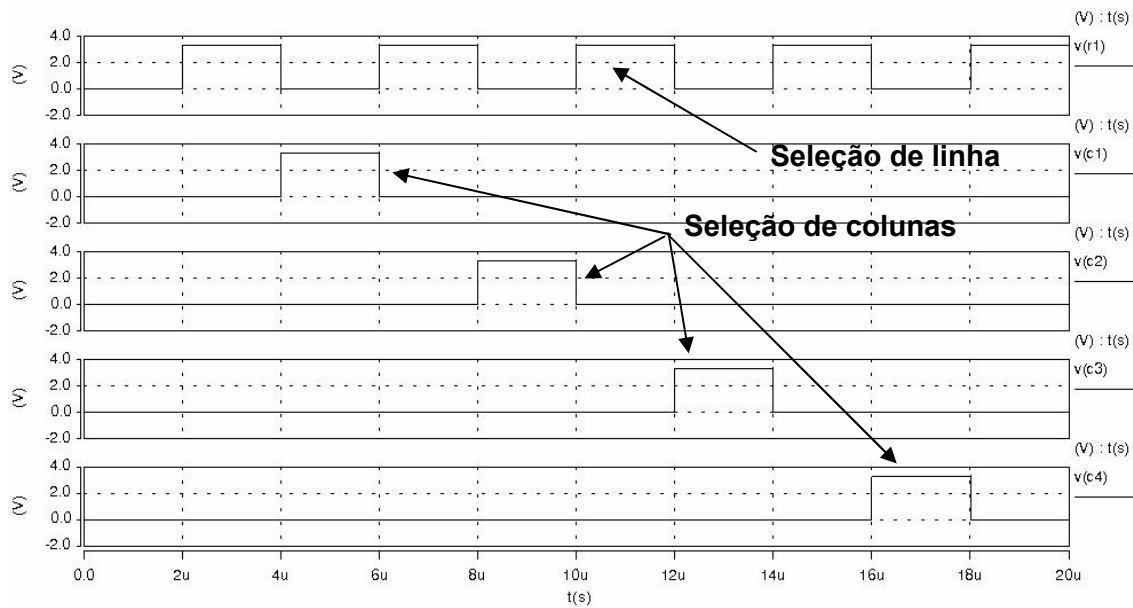


Figura A3-2 – Resultado da simulação digital

➤ **Simulações dos circuitos analógicos**

As simulações dos circuitos analógicos compreendem as análises elétricas realizadas a partir do esquemático dos amplificadores operacionais e a análise de transiente do pixel.

• **Resultado da simulação dos amplificadores operacionais**

Resposta DC em malha aberta com parâmetros de simulação configurados para modelos de condição de operação típica (*typical means*), fornecidos pela biblioteca de modelos da AMS.

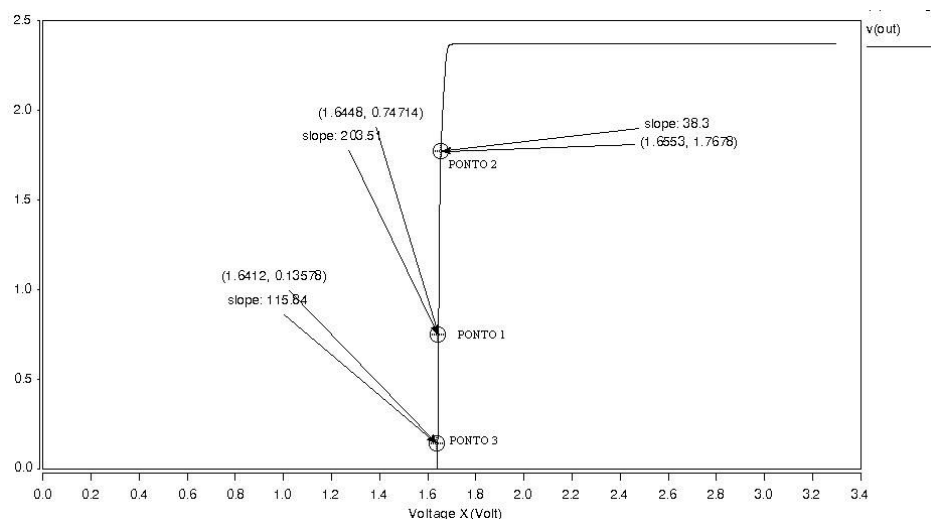


Figura A3-3 – Resposta DC em malha aberta em configuração de condição típica

Para análise da estabilidade dos amplificadores operacionais foram escolhidos três pontos da curva, mostrados em destaque na Figura 4-29.

Tabela A3-1– Pontos da análise DC em malha aberta em condição típica

Pontos	Tensão DC (V)	Inclinação	Ganho(dB)
1	1,6448	203,5	46,17
2	1,6553	38,3	31,66
3	1,6412	115,84	41,28

Resposta DC em malha aberta com parâmetros de simulação em configuração de pior caso primeira condição (*worst case one condition*) fornecidos pela biblioteca de modelos da AMS.

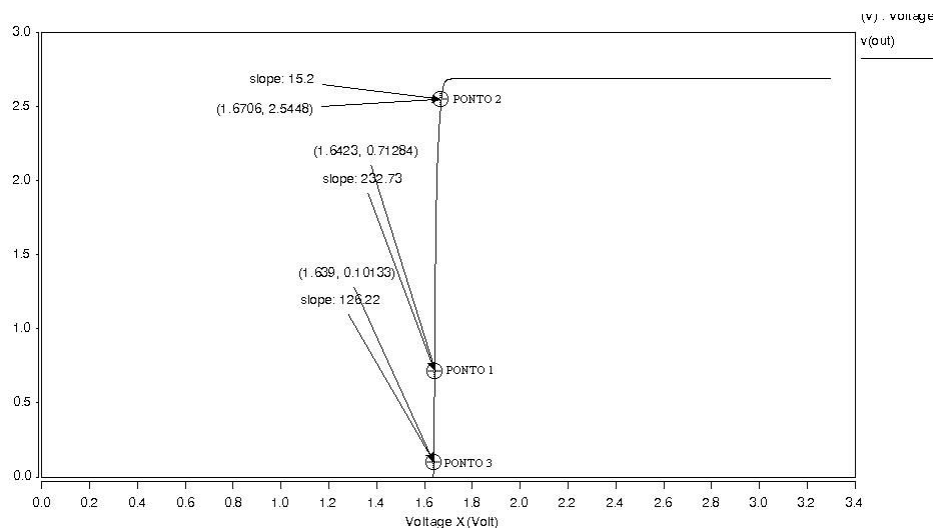


Figura A3-4- Resposta DC em malha aberta em configuração de pior caso primeira condição

Tabela A3-2 – Pontos da análise DC em malha aberta em pior caso primeira condição

Pontos	Tensão DC (V)	Inclinação	Ganho(dB)
1	1,6423	232,73	47,34
2	1,6706	15,2	23,64
3	1,639	126,22	42,02

A tabela a seguir apresenta os pontos da curva de resposta DC em malha aberta com os modelos de simulação configurados em pior caso segunda condição de operação (*worst case second condition*), fornecidos pela biblioteca de modelos da AMS.



Tabela A3-3– Pontos da análise DC em malha aberta em pior caso segunda condição

Pontos	Tensão DC (V)	Inclinação	Ganho(dB)
1	1,6425	269,87	48,62
2	1,6726	11,30	21,06
3	1,6391	80,20	38,08

Resposta AC em malha aberta com parâmetros de simulação configurados em condição típica de operação.

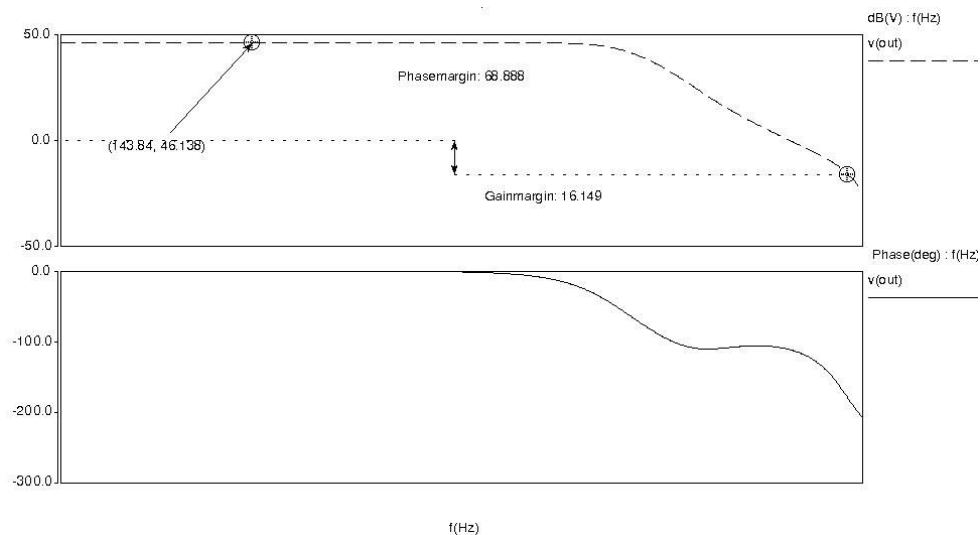


Figura A3-5– Resposta AC em malha aberta em configuração de condição típica

Tabela A3-4 – Pontos da análise AC em malha aberta em condição típica

Pontos	Ganho(dB)	Margem de fase (°)	Margem de ganho (dB)
1	46,13	68,88	16,15
2	31,66	68,96	30,30
3	40,16	71,83	18,24

A tabela a seguir apresenta os pontos da curva de resposta AC em malha aberta com parâmetros de simulação em configuração de pior caso primeira condição.

Tabela A3-5 – Pontos da análise AC em malha aberta em pior caso primeira condição

<b>Pontos</b>	<b>Ganho(dB)</b>	<b>Margem de fase (°)</b>	<b>Margem de ganho (dB)</b>
1	47,34	71,92	16,98
2	23,56	76,09	30,30
3	39,63	74,85	19,96

A Tabela A3-6 apresenta os pontos de análise da resposta AC em malha aberta com modelos de simulação configurados em pior caso segunda condição de operação.

Tabela A3-6 – Pontos da análise AC em malha aberta em pior caso segunda condição

<b>Pontos</b>	<b>Ganho(dB)</b>	<b>Margem de fase (°)</b>	<b>Margem de ganho (dB)</b>
1	48,66	71,32	16,49
2	20,88	80,49	61,41
3	33,75	76,41	27,45

A Figura A3-6 apresenta a resposta DC em malha fechada com parâmetros de simulação configurados para modelos de condição típica de operação. Devido às condições de polarização do circuito a excursão do sinal é limitada em 2,36 V. Nas duas condições de pior caso o circuito apresentou um comportamento praticamente

igual ao verificado na condição típica de operação. O *offset* se mostrou desprezível nas três condições analisadas.

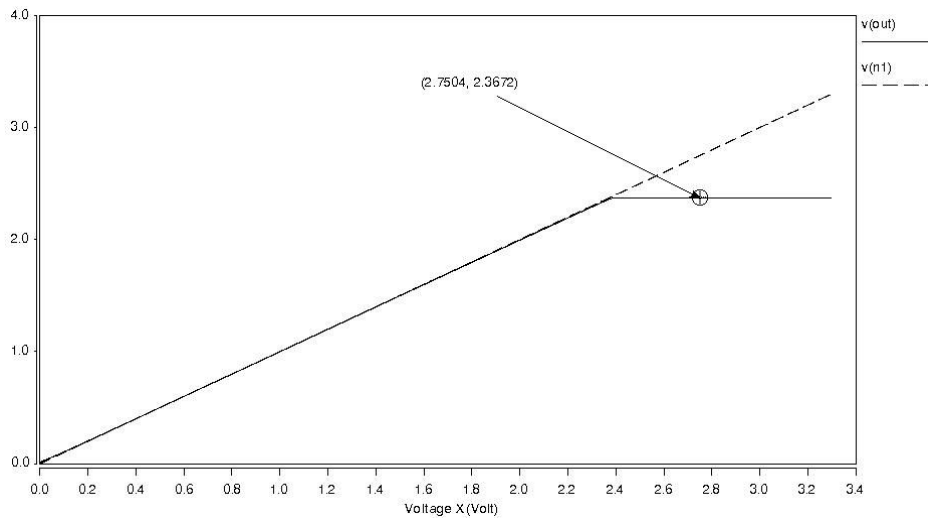


Figura A3-6 – Resposta DC em malha fechada em configuração de condição típica

O gráfico da Figura A3-7 apresenta a curva de resposta da análise AC em malha fechada, na qual o ganho medido foi de 0,46 dB na frequência de 32,36 MHz.

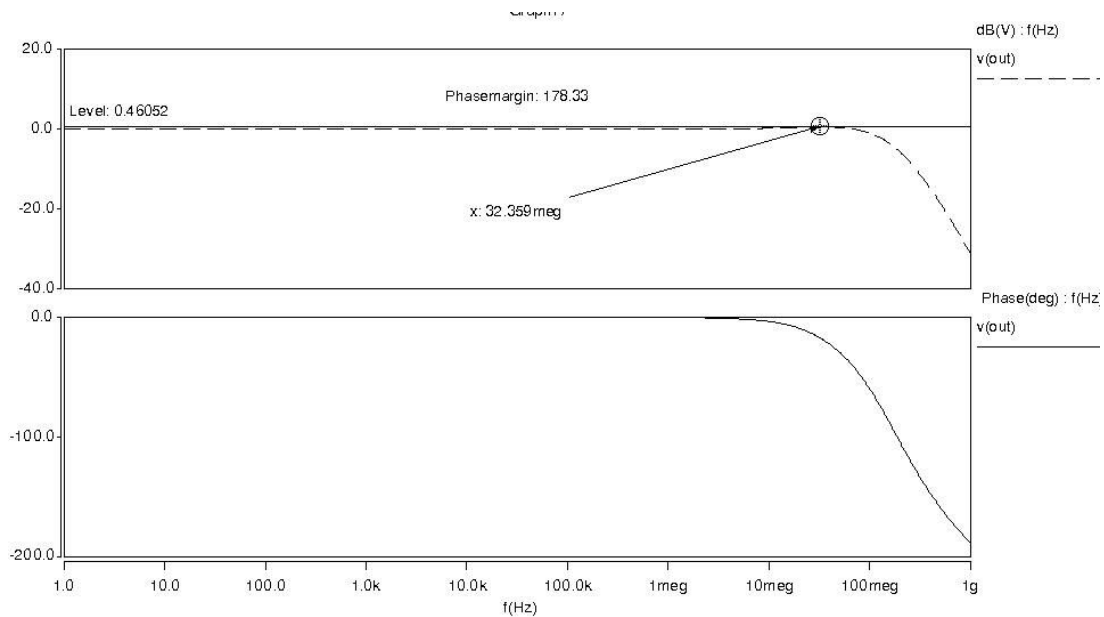


Figura A3-7 – Resposta AC em malha fechada em configuração de condição típica

A Figura A3-8 mostra e resposta da análise de transiente em malha fechada.

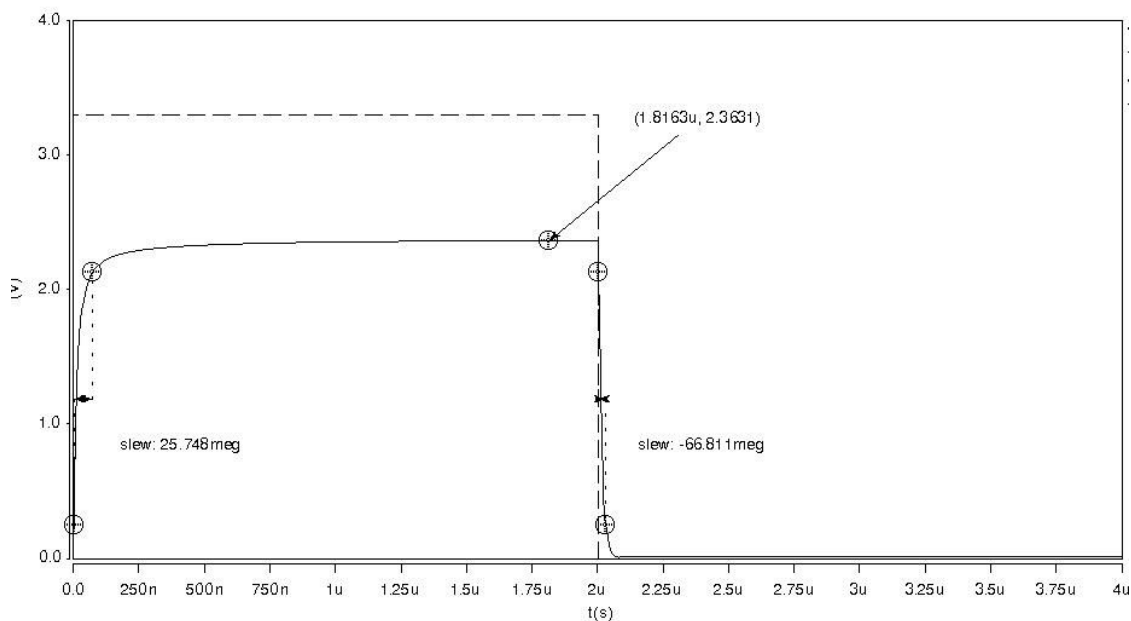


Figura A3-8 – Resposta da análise de transiente em malha fechada

Tabela A3-7 – Dados da resposta da análise de transiente

Condição de operação	Slew rate subida (Hz)	Slew rate descida (Hz)	Excursão máxima (V)
Típica	$25,74 \times 10^6$	$66,81 \times 10^6$	2,36
Pior caso 1ª condição	$37,60 \times 10^6$	$105,34 \times 10^6$	2,68
Pior caso 2ª condição	$18,66 \times 10^6$	$53,20 \times 10^6$	2,16

Os resultados obtidos nas análises DC, AC, e transiente para condição típica de operação e para as duas condições de pior caso, mostraram que os amplificadores funcionaram de acordo com os requisitos de projeto, no que tange a faixa dinâmica, frequência de operação e tempos de resposta, mantendo comportamento estável em todas as condições de operação analisadas.

- **Resultado da simulação do pixel**

Para simular o comportamento do fotodiodo foi utilizado um modelo de simulação baseado em estruturas padrões utilizadas em simuladores elétricos (SWE & YEO, 2001; CHEUNG, 2002). O esquema elétrico empregado na simulação é mostrado na Figura 4-35.

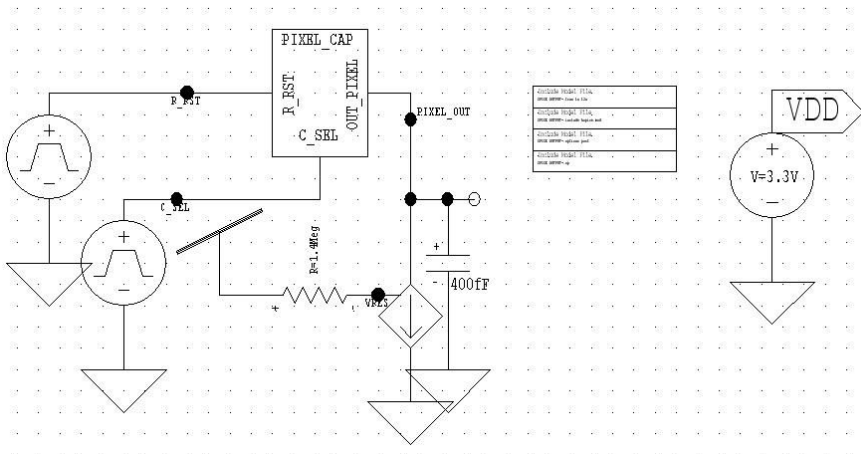


Figura A3-9 – Esquema elétrico para simulação do pixel

O esquema utiliza uma fonte DC para alimentar o circuito e duas fontes de pulsos que geram os sinais de inicialização e leitura do fotodiodo. A fonte de corrente polariza o circuito de saída do pixel que é ligado a uma carga capacitiva de 400 fF. Esta carga simula o efeito da capacitância do pad ao qual a saída do pixel está conectada.

A Figura A3-10 mostra o resultado da simulação do pixel em análise de transiente.

O ponto em destaque no gráfico mostra a amplitude do sinal de saída do pixel em torno de 2 Volts, conforme esperado.

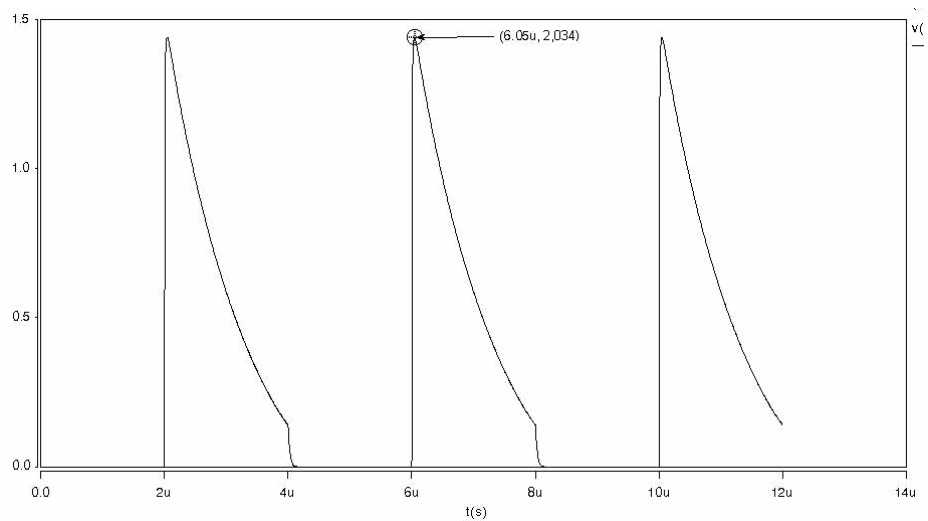


Figura A3-10 – Resultado da simulação do pixel em análise de transiente

#### Apêndice 4: Tabela de pinos do protótipo operacional APS

Tabela A4-1 – Tabela de Sinais do protótipo operacional

SINAL	DESCRIÇÃO	DIREÇÃO	ATIVAÇÃO	PINO
Y0 – Y5	Endereço de linha	entrada	-	49 a 44
X0 – X5	Endereço de coluna	entrada	-	6 a 11
ADDR_Y_ENB	Habilita endereço de linha	entrada	0	50
ADDR_X_ENB	Habilita endereço de coluna	entrada	0	5
ENB	Sinal de habilitação global	entrada	1	54
GLB_RST	Reset global	entrada	0	51
GY0 – GY5	Gerador – endereço de linha	saída	-	60 a 55
GX0 – GX3	Gerador – endereço de coluna	saída	-	65 a 68
GX4 – GX5	Gerador – endereço de coluna	saída	-	3 – 4
R_ADDR	Gerador - habilita endereço de linha	saída	-	61
C_ADDR	Gerador - habilita endereço de coluna	saída	-	64
CLOCK	Gerador - clock	entrada	-	62
START	Gerador - reset	entrada	-	63
PIX_OUT	Saída do pixel	saída	-	12
REF_MUX	Sinal de referencia do pixel	entrada	-	13
OP1_IN-	Entrada inversora do amplificador 1	entrada	-	14
OP1_IN+	Entrada não inversora do amplificador 1	entrada	-	15
OP1_VB	Tensão de polarização do amplificador 1	entrada	-	16
OP1_REF	Referencia do amplificador 1	entrada	-	17
OP1_OUT	Saída do amplificador 1	saída	-	20
OP2_REF	Referencia do amplificador 2	entrada	-	21

SINAL	DESCRIÇÃO	DIREÇÃO	ATIVAÇÃO	PINO
OP2_OUT	Saída do amplificador 2	saída	-	22
OP2_VB	Tensão de polarização do amplificador 2	entrada	-	23
OP2_IN+	Entrada não inversora do amplificador 2	entrada	-	24
OP2_IN-	Entrada inversora do amplificador 2	entrada	-	25
MATRIZ_NDW	Matriz de fotodiodos de teste	entrada		26
NM10XD	Dreno da matriz de transistores NMOS interdigitados	entrada		27
NM10XS	Fonte da matriz de transistores NMOS interdigitados	entrada		28
NM1XD	Dreno da matriz de transistores NMOS	entrada		29
NM1XS	Source da matriz de transistores NMOS	entrada		30
G1	Porta 1 das matrizes de transistores	entrada		31
G2	Porta 2 das matrizes de transistores	entrada		32
G3	Porta 3 das matrizes de transistores	entrada		33
G4	Porta 4 das matrizes de transistores	entrada		36
G5	Porta 5 das matrizes de transistores	entrada		37
G6	Porta 6 das matrizes de transistores	entrada		38
G7	Porta 7 das matrizes de transistores	entrada		39
PM1XS	Fonte da matriz de transistores PMOS	entrada		40
PM1XD	Dreno da matriz de transistores PMOS	entrada		41
PM10XS	Fonte da matriz de transistores PMOS interdigitados	entrada		42
PM10XD	Dreno da matriz de transistores PMOS interdigitados	entrada		43



SINAL	DESCRIÇÃO	DIREÇÃO	ATIVAÇÃO	PINO
GND	Terra de sinal	entrada	-	1-18-34-52
VDDA_E	VDD analógico da coroa esquerda	entrada	-	2
VDDA_D	VDD analógico da coroa direita	entrada	-	35
VDDD_E	VDD digital da coroa esquerda	entrada	-	53
VDDD_D	VDD digital da coroa direita	entrada	-	19